

DIELECTRIC FILM AND ITS FORMATION METHOD, SEMICONDUCTOR DEVICE, NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

Publication number: JP2002261097

Publication date: 2002-09-13

Inventor: OMI TADAHIRO; SUGAWA SHIGETOSHI; HIRAYAMA MASAKI; SHIRAI YASUYUKI

Applicant: OMI TADAHIRO

Classification:

- international: H01B3/00; H01B3/02; H01L21/28; H01L21/306; H01L21/314; H01L21/316; H01L21/318; H01L21/336; H01L21/8234; H01L21/8239; H01L21/8246; H01L21/8247; H01L27/105; H01L27/115; H01L27/12; H01L29/49; H01L29/51; H01L29/786; H01L29/788; H01L29/792; H01B3/00; H01B3/02; H01L21/02; H01L21/70; H01L27/105; H01L27/115; H01L27/12; H01L29/40; H01L29/66; (IPC1-7): H01L21/318; H01B3/00; H01B3/02; H01L21/316; H01L21/8247; H01L27/115; H01L29/788; H01L29/792

- European: H01L21/28E2C2N; H01L21/28E2C2V; H01L21/28E2C3; H01L21/306B; H01L21/314B1; H01L21/316C2B2; H01L21/318B; H01L21/336D2B; H01L21/8234J; H01L21/8239; H01L21/8246T; H01L21/8247M2P2; H01L27/105; H01L27/12; H01L29/49B; H01L29/51B2; H01L29/51M; H01L29/51N; H01L29/786A

Application number: JP20010094246 20010328

Priority number(s): JP20010094246 20010328; JP20000402834 20001228

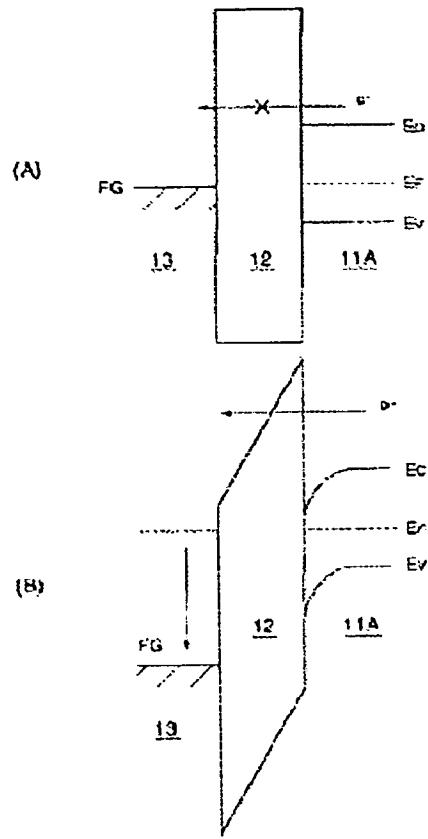
Also published as:

EP1347507 (A1)
 WO02054474 (A1)
 US2004042307 (A1)
 CN1484852 (A)
 CN1291461C (C)

[Report a data error here](#)

Abstract of JP2002261097

PROBLEM TO BE SOLVED: To provide a method for forming a silicon oxide film, a silicon nitride film, a silicon oxynitriding film and a high dielectric constant oxide film of high quality, which do not depend on a silicon plane direction, and are uniform and excellent in electrical properties, on a silicon surface at about 500 deg. or lower. SOLUTION: In a film formation method of a semiconductor device including a plurality of silicon-based transistors or capacitors, hydrogen exists in at least a part of the silicon surface previously. After the hydrogen is removed by exposing the silicon surface to plasma by a first inert gas, plasma by a second inert gas and a mixture gas of one or a plurality of kinds of gaseous molecules is produced. As a result, a silicon compound layer containing at least a part of elements constituting the gaseous molecules is formed in a surface of the silicon base.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-261097

(P2002-261097A)

(43)公開日 平成14年9月13日 (2002.9.13)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコト(参考)
H 01 L 21/318		H 01 L 21/318	A 5 F 0 5 8
H 01 B 3/00		H 01 B 3/00	C 5 F 0 8 3
3/02		3/02	F 5 F 1 0 1
H 01 L 21/316		H 01 L 21/316	Z 5 G 3 0 3
	審査請求 未請求 請求項の数59 O.L (全 32 頁) 最終頁に統く		

(21)出願番号 特願2001-94246(P2001-94246)
 (22)出願日 平成13年3月28日 (2001.3.28)
 (31)優先権主張番号 特願2000-402834(P2000-402834)
 (32)優先日 平成12年12月28日 (2000.12.28)
 (33)優先権主張国 日本 (JP)

(71)出願人 000205041
 大見 忠弘
 宮城県仙台市青葉区米ヶ袋2-1-17-301
 (72)発明者 大見 忠弘
 宮城県仙台市青葉区米ヶ袋2-1-17-301
 (72)発明者 猪川 成利
 宮城県仙台市青葉区荒巻字青葉(無番地)
 東北大学内
 (74)代理人 100070150
 弁理士 伊東 忠彦

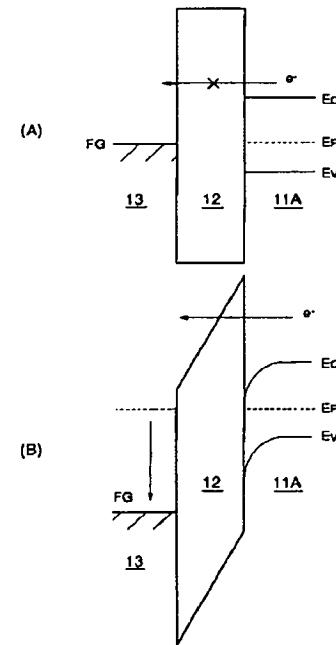
最終頁に統く

(54)【発明の名称】 誘電体膜およびその形成方法、半導体装置、不揮発性半導体メモリ装置、および半導体装置の製造方法

(57)【要約】

【課題】 シリコン表面に、シリコン面方位に依存しない均一で高品質な電気的特性に優れたシリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、高誘電率酸化膜を約500°C程度以下の低温で形成する方法を提供する。

【解決手段】 シリコンを基体とするトランジスタないしは容量を複数個含む半導体装置の成膜方法において、前記シリコンの表面には予め少なくとも一部に水素が存在し、前記シリコン表面を第1の不活性ガスによるプラズマに曝して前記水素を除去してから、第2の不活性ガスと一種類ないしは複数種類の気体分子の混合ガスによるプラズマを発生させて、前記シリコン気体の表面に前記気体分子を構成する元素の少なくとも一部を含むシリコン化合物層を形成する。



【特許請求の範囲】

【請求項1】 シリコン表面上に形成された誘電体膜であつて、

前記誘電体膜は窒素を、窒素濃度が誘電体膜表面において、誘電体膜中央部におけるよりも増大するような濃度分布を含むことを特徴とする誘電体膜。

【請求項2】 前記誘電体膜中において、窒素濃度は前記シリコン表面との界面近傍においても、前記膜中央部より増大することを特徴とする請求項1記載の誘電体膜。

【請求項3】 前記誘電体膜はシリコン酸窒化膜よりも、前記膜中央部において窒素濃度が最小になることを特徴とする請求項1または2記載の誘電体膜。

【請求項4】 前記誘電体膜は、前記電極と接する膜表面において実質的に窒化ケイ素膜の組成を有することを特徴とする請求項1～3のうち、いずれか一項記載の誘電体膜。

【請求項5】 前記誘電体膜は、前記膜中央部において実質的に酸化ケイ素膜の組成を有することを特徴とする請求項1～4のうち、いずれか一項記載の誘電体膜。

【請求項6】 シリコン基板と、

前記シリコン基板上に形成された絶縁膜と、前記絶縁膜上に形成された電極とを備えた半導体装置において、

前記絶縁膜は、窒素濃度が膜中央部よりも前記電極と接する膜表面において増大するような窒素濃度分布を有することを特徴とする半導体装置。

【請求項7】 前記絶縁膜中において、窒素濃度は前記シリコン基板との界面近傍においても、前記膜中央部より増大することを特徴とする請求項5記載の半導体装置。

【請求項8】 前記絶縁膜はシリコン酸窒化膜よりも、前記膜中央部において窒素濃度が最小になることを特徴とする請求項6または7記載の半導体装置。

【請求項9】 前記絶縁膜は、前記電極と接する膜表面において実質的に窒化ケイ素膜の組成を有することを特徴とする請求項6～8のうち、いずれか一項記載の半導体装置。

【請求項10】 前記絶縁膜は、前記膜中央部において実質的に酸化ケイ素膜の組成を有することを特徴とする請求項6～9のうち、いずれか一項記載の半導体装置。

【請求項11】 前記第1の電極上には、電極間絶縁膜を介して第2の電極が形成されたことを特徴とする請求項6～10のうち、いずれか一項記載の半導体装置。

【請求項12】 シリコン基板と、

前記シリコン基板上に形成されたトンネル絶縁膜と、前記トンネル絶縁膜上に形成されたフローティングゲート電極と、前記フローティングゲート電極上に、電極間絶縁膜を介して設けられたコントロールゲート電極とよりなる不揮

発性半導体メモリ装置において、

前記絶縁膜のいずれか一方は、窒素濃度が膜中央部よりも前記電極と接する膜表面において増大するような窒素濃度分布を有することを特徴とする不揮発性半導体メモリ装置。

【請求項13】 前記トンネル絶縁膜中において、窒素濃度は前記シリコン基板との界面近傍においても、前記膜中央部より増大することを特徴とする請求項12記載の不揮発性半導体メモリ装置。

【請求項14】 前記トンネル絶縁膜はシリコン酸窒化膜よりも、前記膜中央部において窒素濃度が最小になることを特徴とする請求項12または13記載の不揮発性半導体メモリ装置。

【請求項15】 前記トンネル絶縁膜は、前記電極と接する膜表面において実質的に窒化ケイ素膜の組成を有することを特徴とする請求項12～14のうち、いずれか一項記載の不揮発性半導体メモリ装置。

【請求項16】 前記トンネル絶縁膜は、前記膜中央部において実質的に酸化ケイ素膜の組成を有することを特徴とする請求項1～4のうち、いずれか一項記載の不揮発性半導体メモリ装置。

【請求項17】 表面上にシリコン酸化膜を形成する工程と、前記シリコン酸化膜の表面を、窒化水素ラジカルN H*に曝露し、改变する工程とを含むことを特徴とする誘電体膜の形成方法。

【請求項18】 前記窒化水素ラジカルN H*は、ArまたはKrより選ばれる不活性ガスと、窒素および水素を構成成分元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマにより形成されることを特徴とする請求項17記載の誘電体膜の形成方法。

【請求項19】 前記マイクロ波プラズマは、前記表面上において 10^{12} cm^{-3} 以上の電子密度を有することを特徴とする請求項18記載の誘電体膜の形成方法。

【請求項20】 前記マイクロ波プラズマは、前記表面上において 10V 以下のプラズマ電位を有することを特徴とする請求項18または19記載の誘電体膜の形成方法。

【請求項21】 前記窒素および水素を構成成分元素として含むガスは、NH₃ガスであることを特徴とする請求項18～20のうち、いずれか一項記載の誘電体膜の形成方法。

【請求項22】 前記窒素および水素を構成成分元素として含むガスは、N₂ガスとH₂ガスの混合ガスよりもなることを特徴とする請求項18～20のうち、いずれか一項記載の誘電体膜の形成方法。

【請求項23】 前記表面はシリコン表面よりも、前記酸化膜は前記シリコン表面の酸化により形成されることを特徴とする請求項17～22のうち、いずれか一項記載の誘電体膜の形成方法。

【請求項24】 前記シリコン表面の酸化は、前記シリコン表面を、Krを主とする不活性ガスと酸素を構成元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマに曝露する工程により実行されることを特徴とする請求項23記載の誘電体膜の形成方法。

【請求項25】 前記シリコン酸化膜は、前記表面の熱酸化により形成されることを特徴とする請求項23記載の誘電体膜の形成方法。

【請求項26】 表面上にシリコン酸化膜を形成する工程と、

前記シリコン酸化膜の表面を、ArまたはKrより選ばれる不活性ガスと窒素および水素を構成元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマに曝露し、前記シリコン酸化膜の表面を改変する工程によりなることを特徴とする誘電体膜の形成方法。

【請求項27】 前記マイクロ波プラズマは、前記表面上において 10^{12} cm^{-3} 以上の電子密度を有することを特徴とする請求項26記載の誘電体膜の形成方法。

【請求項28】 前記マイクロ波プラズマは、前記表面上において10V以下のプラズマ電位を有することを特徴とする請求項26または27記載の誘電体膜の形成方法。

【請求項29】 前記窒素および水素を構成元素として含むガスは、NH₃ガスであることを特徴とする請求項26～28のうち、いずれか一項記載の誘電体膜の形成方法。

【請求項30】 前記窒素および水素を構成元素として含むガスは、N₂ガスとH₂ガスの混合ガスよりなることを特徴とする請求項26～28のうち、いずれか一項記載の誘電体膜の形成方法。

【請求項31】 前記表面はシリコン表面よりなり、前記酸化膜は前記シリコン表面の酸化により形成されることを特徴とする請求項26～30のうち、いずれか一項記載の誘電体膜の形成方法。

【請求項32】 前記シリコン表面の酸化は、前記シリコン表面を、Krを主とする不活性ガスと酸素を構成元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマに曝露する工程により実行されることを特徴とする請求項31記載の誘電体膜の形成方法。

【請求項33】 前記シリコン酸化膜は、前記シリコン表面の熱酸化により形成されることを特徴とする請求項31記載の誘電体膜の形成方法。

【請求項34】 シリコン表面を、Krを主とする不活性ガスと窒素を構成元素として含むガスと酸素を構成元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマに曝露し、前記シリコン表面に酸窒化膜を形成する工程を特徴とする誘電体膜の形成方法。

【請求項35】 前記マイクロ波プラズマは、前記シリコン表面上において 10^{12} cm^{-3} 以上の電子密度を有することを特徴とする請求項34記載の誘電体膜の形成方

法。

【請求項36】 前記マイクロ波プラズマは、前記シリコン表面上において10V以下のプラズマ電位を有することを特徴とする請求項34または35記載の誘電体膜の形成方法。

【請求項37】 前記窒素を構成元素として含むガスは、NH₃ガスであり、前記酸素を構成元素として含むガスはO₂ガスであることを特徴とする請求項34～36のうち、いずれか一項記載の誘電体膜の形成方法。

【請求項38】 前記不活性ガスと前記O₂ガスと前記NH₃ガスとは、96.5:30.5の分圧比で供給されることを特徴とする請求項37記載の誘電体膜の形成方法。

【請求項39】 前記シリコン表面をマイクロ波プラズマに曝露する工程では、前記シリコン表面が原子状酸素O*および窒化水素ラジカルNH*に曝露されることを特徴とする請求項34～38のうち、いずれか一項記載の誘電体膜の形成方法。

【請求項40】 シリコン基板上に、酸化処理によりシリコン酸化膜を形成する工程と、前記シリコン酸化膜の表面を、窒化水素ラジカルNH*に曝露し、改変する工程と、前記改変されたシリコン酸化膜上にゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項41】 前記窒化水素ラジカルNH*は、ArまたはKrより選ばれる不活性ガスと、窒素および水素を構成元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマにより形成されることを特徴とする請求項34記載の半導体装置の製造方法。

【請求項42】 前記マイクロ波プラズマは、前記シリコン基板の表面において 10^{12} cm^{-3} 以上の電子密度を有することを特徴とする請求項41または42記載の半導体装置の製造方法。

【請求項43】 前記マイクロ波プラズマは、前記シリコン基板の表面において10V以下のプラズマ電位を有することを特徴とする請求項41または42記載の半導体装置の製造方法。

【請求項44】 前記窒素および水素を構成元素として含むガスは、NH₃ガスであることを特徴とする請求項41～43のうち、いずれか一項記載の半導体装置の製造方法。

【請求項45】 前記窒素および水素を構成元素として含むガスは、N₂ガスとH₂ガスの混合ガスよりなることを特徴とする請求項41～43のうち、いずれか一項記載の半導体装置の製造方法。

【請求項46】 前記シリコン酸化膜は、前記シリコン表面を、Krを主とする不活性ガスと酸素を構成元素として含むガスとの混合ガス中に形成されたマイクロ波

ラズマに曝露する工程により形成されることを特徴とする請求項4 1～4 5のうち、いずれか一項記載の半導体装置の製造方法。

【請求項4 7】 シリコン基板上に、酸化処理によりシリコン酸化膜を形成する工程と、前記シリコン酸化膜の表面を、ArまたはKrより選ばれる不活性ガスと窒素および水素を構成成分元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマに曝露し、前記シリコン酸化膜表面を改変する工程と、前記改変されたシリコン酸化膜上にゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4 8】 前記マイクロ波プラズマは、前記シリコン基板の表面において 10^{12} cm^{-3} 以上の電子密度を有することを特徴とする請求項4 7記載の半導体装置の製造方法。

【請求項4 9】 前記マイクロ波プラズマは、前記シリコン基板の表面において10V以下のプラズマ電位を有することを特徴とする請求項4 7または4 8記載の半導体装置の製造方法。

【請求項5 0】 前記窒素および水素を構成成分元素として含むガスは、NH₃ガスであることを特徴とする請求項4 7～4 9のうち、いずれか一項記載の半導体装置の製造方法。

【請求項5 1】 前記窒素および水素を構成成分元素として含むガスは、N₂ガスとH₂ガスの混合ガスよりなることを特徴とする請求項4 7～4 9のうち、いずれか一項記載の半導体装置の製造方法。

【請求項5 2】 前記シリコン表面の酸化は、前記シリコン表面を、Krを主とする不活性ガスと酸素を構成元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマに曝露する工程により実行されることを特徴とする請求項4 7～5 1のうち、いずれか一項記載の半導体装置の製造方法。

【請求項5 3】 前記シリコン酸化膜は、熱酸化により形成されることを特徴とする請求項4 7～5 1のうち、いずれか一項記載の半導体装置の製造方法。

【請求項5 4】 シリコン基板表面を、Krを主とする不活性ガスと窒素を構成元素として含むガスと酸素を構成成分元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマに曝露し、前記シリコン表面に酸窒化膜を形成する工程と、前記酸窒化膜上にゲート電極を形成する工程とを特徴とする半導体装置の製造方法。

【請求項5 5】 前記マイクロ波プラズマは、前記シリコン基板上において 10^{12} cm^{-3} 以上の電子密度を有することを特徴とする請求項5 4記載の半導体装置の製造方法。

【請求項5 6】 前記マイクロ波プラズマは、前記シリ

コン基板上において10V以下のプラズマ電位を有することを特徴とする請求項5 4または5 5記載の半導体装置の製造方法。

【請求項5 7】 前記窒素を構成成分元素として含むガスは、NH₃ガスであり、前記酸素を構成成分元素として含むガスはO₂ガスであることを特徴とする請求項5 4～5 6のうち、いずれか一項記載の半導体装置の製造方法。

【請求項5 8】 前記不活性ガスと前記O₂ガスと前記NH₃ガスとは、96.5 : 3 : 0.5の分圧比で供給されることを特徴とする請求項5 7記載の半導体装置の製造方法。

【請求項5 9】 前記シリコン表面をマイクロ波プラズマに曝露する工程では、前記シリコン表面が原子状酸素O*および窒化水素ラジカルNH*に曝露されることを特徴とする請求項5 4～5 8のうち、いずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン半導体上に酸化膜、窒化膜、酸窒化膜等が形成された半導体装置及びその形成方法に関する。

【0002】

【従来の技術】MIS（金属／絶縁膜／シリコン）トランジスタのゲート絶縁膜には、低リーク電流特性、低界面準位密度、高耐圧性、高ホットキャリア耐性、均一なしきい値電圧特性など、様々な高性能電気特性および高信頼性特性が要求される。

【0003】これらの要求を満たすゲート絶縁膜形成技術として、従来は、酸素分子や水分子を使用した約800°C程度以上の熱酸化技術が用いられてきた。

【0004】熱酸化工程は、従来、その前工程として有機物、金属、パーティクルなどの表面付着汚染物を洗浄工程によって除去を施してから行われる。こうした従来の洗浄工程では、その後に希フッ酸や水素添加水等を用いた洗浄を行い、シリコン表面のシリコン未結合手を水素で終端して、シリコン表面への自然酸化膜形成を抑制し、清浄な表面を有するシリコン基板を、次に続く熱酸化工程へと導入している。熱酸化工程では、この表面終端水素はアルゴン(Ar)などの不活性ガス雰囲気でシリコン基体を昇温していく過程で約600°C程度以上の温度で脱離する。シリコン表面の酸化は、その後約800°C以上で酸素分子ないしは水分子を導入した雰囲気で行われていた。

【0005】従来、このような熱酸化技術を使用してシリコン表面にシリコン酸化膜を形成した場合、良好な酸化膜／シリコン界面特性、酸化膜の耐圧特性、リーク電流特性などが得られるのは、表面が(100)面方位に配向したシリコンを用いた時に限られていた。また、従来の熱酸化技術で作成されたシリコン酸化膜ではその膜

厚を約2nm程度以下にすると著しいリーク電流の悪化が起こり、ゲート絶縁膜の薄膜化を要求する高性能微細トランジスタの実現が阻害されていた。

【0006】また、(100)面以外の他の面方位に配向した結晶シリコンや、絶縁膜上において主として(111)面に配向する多結晶シリコン等では、熱酸化技術を使用してシリコン酸化膜を形成しても、(100)面方位に配向したシリコンのシリコン酸化膜に比べて酸化膜／シリコン界面の界面準位密度が著しく高く、このため膜厚が薄いシリコン酸化膜では耐圧特性、リーク電流特性などの電気的特性が劣悪であり、使用する場合にシリコン酸化膜の膜厚を増大させる必要があった。

【0007】一方、近年においては半導体装置の生産性の効率を向上させるために大口径のシリコンウェーハ基板の使用、あるいは大面积のガラス基板の使用が進んでいる。こうした大型基板の全面で均一な特性のトランジスタを高いスループットで生産するためには、昇温降温の温度変化幅の少ない低温での、しかも温度依存性の少ない絶縁膜形成工程が求められる。従来の熱酸化工程では酸化反応速度の温度ゆらぎに対する変化が大きく、大面积基板を使って高いスループットで半導体装置の生産性を行うことは困難であった。

【0008】こうした、従来の熱酸化工程における課題を解決しようとして、数多くの低温成膜プロセスが試みられている。なかでも、特開平11-279773公報記載の技術や、テクニカル・ダイジェスト・オブ・インターナショナル・エレクトロン・デバイセズ・ミーティング、1999 (Technical Digest of International Electron Devices Meeting 1999)、pp. 249-252記載の技術、あるいは2000シンポジウム・オン・ブイエルエスアイ・テクノロジ・ダイジェスト・オブ・テクニカル・ペーパーズ (2000 Symposium on VLSI Technology Digest of Technical Papers)、pp. 76-177に記載の技術では、プラズマ中に不活性ガスと酸素分子を導入して、大きな準安定準位を有する不活性ガスに酸素分子の原子状化を効率的に行わせることで、原子状酸素O*によるシリコン表面の酸化を行い比較的良好な電気特性を得ている。

【0009】これらの技術においては、不活性ガスのクリプトン(Kr)と酸素(O₂)混合ガスにマイクロ波を照射し、KrとO₂混合プラズマを発生させ原子状酸素O*を大量に生成して400°C程度の温度でシリコンの酸化を行い、従来の熱酸化に匹敵する低リーク電流特性、低界面準位密度、高耐圧性を実現している。また、この酸化技術によれば(100)面以外の他の面方位を有するシリコン表面にも高品質な酸化膜が得られる。

【0010】

【発明が解決しようとする課題】しかしながら、こうした従来のマイクロ波励起プラズマによるシリコン酸化膜形成技術では、原子状酸素O*を使用した酸化を行って

いるにもかかわらず、従来の酸素分子あるいは水分子を使用した熱酸化工程と同等程度の電気的特性を有するシリコン酸化膜しか得られていない。特にシリコン基板表面において約2nm程度以下の酸化膜厚を有するシリコン酸化膜では良好な低いリーク電流特性を得ることが出来ず、ゲート絶縁膜のさらなる薄膜化を要求する高性能微細トランジスタの実現は、従来の熱酸化膜技術と同様に困難であった。

【0011】また、トランジスタの酸化膜へのホットキャリア注入の影響によるコンダクタンスの劣化や、フラッシュメモリなど、シリコン酸化膜中に電子をトンネル伝導させる素子において、リーク電流の増加など電気特性の経時的劣化が、シリコン酸化膜を従来の熱工程により形成した場合よりも顕著に起こってしまうという課題を有していた。

【0012】図1は従来のフラッシュメモリ素子10の概略的構造を示す。

【0013】図1を参照するに、フラッシュメモリ素子10はp型あるいはn型にドープされたシリコン基板11上に形成されており、前記シリコン基板11上にはトンネル酸化膜12を介してフローティングゲート電極13が形成されている。前記フローティングゲート電極13は電極間絶縁膜14により覆われ、さらに前記フローティングゲート電極13上には、前記電極間絶縁膜14を介してコントロールゲート電極15が形成されている。また前記シリコン基板11中には、前記フローティングゲート電極13直下のチャネル領域11A両側に、n型あるいはp型のソース領域11Bおよびドレイン領域11Cが形成されている。

【0014】図1のフラッシュメモリ素子10では、前記コントロールゲート電極15は前記電極間絶縁膜14を介して前記フローティングゲート電極と容量性結合を生じ、その結果、前記コントロールゲート電極15に印加される制御電圧により、前記フローティングゲート電極の電位を制御することが可能である。

【0015】そこで、図1のフラッシュメモリ素子10において前記フローティングゲート電極に情報を書き込む場合には、前記ドレイン領域11Cとソース領域11Bとの間に所定の駆動電圧を印加し、さらに前記コントロールゲート電極15に所定の正の書き込み電圧を印加することにより、前記ドレイン領域11C近傍における加速の結果形成されたホットエレクトロンを、前記トンネル酸化膜12を介して前記フローティングゲート電極13中に注入する。

【0016】また書き込まれた情報を消去する場合には、前記シリコン基板11あるいはソース領域11Bに所定の消去電圧を印加して、前記フローティングゲート電極13中の電子を引き抜く。さらに前記書き込まれた情報を読み出す場合には、前記コントロールゲート電極15に所定の読み出し電圧を印加し、前記チャネル領域

11A中を前記ソース領域11Bからドレイン領域11Cへの電子流を検出する。

【0017】図2(A)は、図1のフラッシュメモリ素子10において、前記フローティングゲート電極13、前記トンネル酸化膜12およびシリコン基板11を含む断面のバンド構造図を、前記コントロールゲート電極14に制御電圧を印加しない状態について示す図である。

【0018】図2(A)を参照するに、前記トンネル絶縁膜12はポテンシャルバリアを形成し、前記シリコン基板11中の伝導帯Ec上の電子が前記フローティングゲート電極13に注入されるのを効果的に阻止するのがわかる。

【0019】これに対し、図2(B)は前記コントロールゲート電極15に書き込み電圧を印加した状態のバンド構造図を示す。

【0020】図2(B)を参照するに、前記書き込み電圧の印加により前記トンネル絶縁膜12のバンド構造は変形し、伝導帯Ecは三角ポテンシャルを形成する。そこで、前記チャネル領域Aにおいて形成されたホットエレクトロンがかかる三角ポテンシャルバリアを、ファウラー・ノルトハイム型トンネル電流を形成して通過し、前記フローティングゲート電極13に注入される。

【0021】ところで、このようなフラッシュメモリ素子10において書き込み速度を向上させるためには、図2(B)の状態において前記三角ポテンシャルを通過するトンネル電流のトンネル確率を増大させる必要がある。このためには前記トンネル酸化膜12の膜厚を減少させればよいが、前記トンネル酸化膜12の膜厚を減少させた場合には、図2(A)に示す非書き込み状態においても前記チャネル中の電子が前記トンネル酸化膜12をトンネリングにより通過してリーク電流を形成するおそれがある。

【0022】図3は、前記トンネル酸化膜12に印加される電界と、前記トンネル酸化膜12を通過するトンネル電流の電流密度との関係を示す。

【0023】図3を参照するに、前記フラッシュメモリ素子10において1~10μ秒の書き込み時間を実現しようとすると、図2(B)の書き込み状態において前記トンネル酸化膜12に約10MV/cmの電界を印加した場合に、約1A/cm²のトンネル電流が前記トンネル酸化膜12中を流れることが要求される。一方、図2(A)の非書き込み状態では、前記トンネル酸化膜12を流れるリーク電流の大きさが、印加電界が1MV/cm²の場合に10⁻¹⁵A/cm²以下であることが要求される。このため、従来のフラッシュメモリ素子10では、前記トンネル酸化膜12として膜厚が数nmの熱酸化膜を使い、図3に直線で示した電界-電流特性を実現している。

【0024】これに対し、書き込み時間を短縮しようとして前記トンネル酸化膜12の膜厚を減少させた場合、

トンネル酸化膜12の電界-電流特性は図3中に曲線で示したように変化し、10MV/cmの電界を印加した場合のトンネル電流の大きさは大幅に増大するものの、またより低印加電界において従来の1A/cm²のトンネル電流密度を実現することが可能になるものの、非書き込み状態におけるリーク電流が大きく増加してしまい、前記フローティングゲート電極13中に電荷の形で書き込まれた情報を保持することができなくなってしまう。

【0025】そこで本発明は、以上述べた課題を解決した新規で有用な半導体装置およびその製造方法を提供することを概括的課題とする。

【0026】本発明の他の課題は、リーク電流が小さく、しかも電界印加時に大きな電流密度のトンネル電流が得られる誘電体膜およびその形成方法を提供することにある。

【0027】本発明のさらに他の課題は、前記誘電体膜を使った半導体装置および不揮発性半導体装置、およびかかる半導体装置の製造方法を提供することにある。

【0028】

【課題を解決するための手段】本発明は上記の課題を、請求項1に記載したように、シリコン表面上に形成された誘電体膜であって、前記誘電体膜は窒素を、窒素濃度が誘電体膜表面において、誘電体膜中央部におけるよりも増大するような濃度分布で含むことを特徴とする誘電体膜により、または請求項2に記載したように、前記誘電体膜中において、窒素濃度は前記シリコン表面との界面近傍においても、前記膜中央部より増大することを特徴とする請求項1記載の誘電体膜により、または請求項3に記載したように、前記誘電体膜はシリコン酸窒化膜よりも、前記膜中央部において窒素濃度が最小になることを特徴とする請求項1または2記載の誘電体膜または請求項4に記載したように、前記誘電体膜は、前記電極と接する膜表面において実質的に窒化ケイ素膜の組成を有することを特徴とする請求項1~3のうち、いずれか一項記載の誘電体膜により、または請求項5に記載したように、前記誘電体膜は、前記膜中央部において実質的に酸化ケイ素膜の組成を有することを特徴とする請求項1~4のうち、いずれか一項記載の誘電体膜により、または請求項6に記載したように、シリコン基板と、前記シリコン基板上に形成された絶縁膜と、前記絶縁膜上に形成された電極とを備えた半導体装置において、前記絶縁膜は、窒素濃度が膜中央部よりも前記電極と接する膜表面において増大するような窒素濃度分布を有することを特徴とする半導体装置により、または請求項7に記載したように、前記絶縁膜中において、窒素濃度は前記シリコン基板との界面近傍においても、前記膜中央部より増大することを特徴とする請求項5記載の半導体装置により、または請求項8に記載したように、前記絶縁膜はシリコン酸窒化膜よりも、前記膜中央部において窒

(7) 002-261097 (P2002-ch697)

素濃度が最小になることを特徴とする請求項6または7記載の半導体装置により、または請求項9に記載したように、前記絶縁膜は、前記電極と接する膜表面において実質的に窒化ケイ素膜の組成を有することを特徴とする請求項6～8のうち、いずれか一項記載の半導体装置により、または請求項10に記載したように、前記絶縁膜は、前記膜中央部において実質的に酸化ケイ素膜の組成を有することを特徴とする請求項6～9のうち、いずれか一項記載の半導体装置により、または請求項11に記載したように、前記第1の電極上には、電極間絶縁膜を介して第2の電極が形成されたことを特徴とする請求項6～10のうち、いずれか一項記載の半導体装置により、または請求項12に記載したように、シリコン基板と、前記シリコン基板上に形成されたトンネル絶縁膜と、前記トンネル絶縁膜上に形成されたフローティングゲート電極と、前記フローティングゲート電極上に、電極間絶縁膜を介して設けられたコントロールゲート電極とよりなる不揮発性半導体メモリ装置において、前記絶縁膜のいずれか一方は、窒素濃度が膜中央部よりも前記電極と接する膜表面において増大するような窒素濃度分布を有することを特徴とする不揮発性半導体メモリ装置により、または請求項13に記載したように、前記トンネル絶縁膜中において、窒素濃度は前記シリコン基板との界面近傍においても、前記膜中央部より増大することを特徴とする請求項12記載の不揮発性半導体メモリ装置により、または請求項14に記載したように、前記トンネル絶縁膜はシリコン酸窒化膜となり、前記膜中央部において窒素濃度が最小になることを特徴とする請求項12または13記載の不揮発性半導体メモリ装置により、または請求項15に記載したように、前記トンネル絶縁膜は、前記電極と接する膜表面において実質的に窒化ケイ素膜の組成を有することを特徴とする請求項12～14のうち、いずれか一項記載の不揮発性半導体メモリ装置により、または請求項16に記載したように、前記トンネル絶縁膜は、前記膜中央部において実質的に酸化ケイ素膜の組成を有することを特徴とする請求項1～4のうち、いずれか一項記載の不揮発性半導体メモリ装置により、または請求項17に記載したように、表面上にシリコン酸化膜を形成する工程と、前記シリコン酸化膜の表面を、窒化水素ラジカルNH*に曝露し、改变する工程とを含むことを特徴とする誘電体膜の形成方法により、または請求項18に記載したように、前記窒化水素ラジカルNH*は、ArまたはKrより選ばれる不活性ガスと、窒素および水素を構成成分元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマにより形成されることを特徴とする請求項17記載の誘電体膜の形成方法により、または請求項19に記載したように、前記マイクロ波プラズマは、前記表面上において 10^{12} cm^{-3} 以上の電子密度を有することを特徴とする請求項18記載の誘電体膜の形成方法により、または請求

項20に記載したように、前記マイクロ波プラズマは、前記表面上において10V以下のプラズマ電位を有することを特徴とする請求項18または19記載の誘電体膜の形成方法により、または請求項21に記載したように、前記窒素および水素を構成成分元素として含むガスは、NH₃ガスであることを特徴とする請求項18～20のうち、いずれか一項記載の誘電体膜の形成方法により、または請求項22に記載したように、前記窒素および水素を構成成分元素として含むガスは、N₂ガスとH₂ガスの混合ガスよりなることを特徴とする請求項18～20のうち、いずれか一項記載の誘電体膜の形成方法により、または請求項23に記載したように、前記表面はシリコン表面となり、前記酸化膜は前記シリコン表面の酸化により形成されることを特徴とする請求項17～22のうち、いずれか一項記載の誘電体膜の形成方法により、または請求項24に記載したように、前記シリコン表面の酸化は、前記シリコン表面を、Krを主とする不活性ガスと酸素を構成元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマに曝露する工程により実行されることを特徴とする請求項23記載の誘電体膜の形成方法により、または請求項25に記載したように、前記シリコン酸化膜は、前記表面の熱酸化により形成されることを特徴とする請求項23記載の誘電体膜の形成方法により、または請求項26に記載したように、表面上にシリコン酸化膜を形成する工程と、前記シリコン酸化膜の表面を、ArまたはKrより選ばれる不活性ガスと窒素および水素を構成成分元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマに曝露し、前記シリコン酸化膜の表面を変更する工程となることを特徴とする誘電体膜の形成方法により、または請求項27に記載したように、前記マイクロ波プラズマは、前記表面上において 10^{12} cm^{-3} 以上の電子密度を有することを特徴とする請求項26記載の誘電体膜の形成方法により、または請求項28に記載したように、前記マイクロ波プラズマは、前記表面上において10V以下のプラズマ電位を有することを特徴とする請求項26または27記載の誘電体膜の形成方法により、または請求項29に記載したように、前記窒素および水素を構成成分元素として含むガスは、NH₃ガスであることを特徴とする請求項26～28のうち、いずれか一項記載の誘電体膜の形成方法により、または請求項30に記載したように、前記窒素および水素を構成成分元素として含むガスは、N₂ガスとH₂ガスの混合ガスよりなることを特徴とする請求項26～28のうち、いずれか一項記載の誘電体膜の形成方法により、または請求項31に記載したように、前記表面はシリコン表面となり、前記酸化膜は前記シリコン表面の酸化により形成されることを特徴とする請求項26～30のうち、いずれか一項記載の誘電体膜の形成方法により、または請求項32に記載したように、前記シリコン表面の酸化は、前記シリコ

ン表面を、Krを主とする不活性ガスと酸素を構成元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマに曝露する工程により実行されることを特徴とする請求項31記載の誘電体膜の形成方法により、または請求項33に記載したように、前記シリコン酸化膜は、前記シリコン表面の熱酸化により形成されることを特徴とする請求項31記載の誘電体膜の形成方法により、または請求項34に記載したように、シリコン表面を、Krを主とする不活性ガスと窒素を構成元素として含むガスと酸素を構成元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマに曝露し、前記シリコン表面に酸窒化膜を形成する工程を特徴とする誘電体膜の形成方法により、または請求項35に記載したように、前記マイクロ波プラズマは、前記シリコン表面上において 10^{12} cm^{-3} 以上の電子密度を有することを特徴とする請求項34記載の誘電体膜の形成方法により、または請求項36に記載したように、前記マイクロ波プラズマは、前記シリコン表面上において10V以下のプラズマ電位を有することを特徴とする請求項34または35記載の誘電体膜の形成方法により、または請求項37に記載したように、前記窒素を構成成分元素として含むガスは、NH₃ガスであり、前記酸素を構成成分元素として含むガスはO₂ガスであることを特徴とする請求項34～36のうち、いずれか一項記載の誘電体膜の形成方法により、または請求項38に記載したように、前記不活性ガスと前記O₂ガスと前記NH₃ガスとは、96.5:3:0.5の分圧比で供給されることを特徴とする請求項37記載の誘電体膜の形成方法により、または請求項39に記載したように、前記シリコン表面をマイクロ波プラズマに曝露する工程では、前記シリコン表面が原子状酸素O*および窒化水素ラジカルN H*に曝露されることを特徴とする請求項34～38のうち、いずれか一項記載の誘電体膜の形成方法により、または請求項40に記載したように、シリコン基板上に、酸化処理によりシリコン酸化膜を形成する工程と、前記シリコン酸化膜の表面を、窒化水素ラジカルN H*に曝露し、改変する工程と、前記改変されたシリコン酸化膜上にゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法により、または請求項41に記載したように、前記窒化水素ラジカルN H*は、ArまたはKrより選ばれる不活性ガスと、窒素および水素を構成成分元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマにより形成されることを特徴とする請求項34記載の半導体装置の製造方法により、または請求項42に記載したように、前記マイクロ波プラズマは、前記シリコン基板の表面において 10^{12} cm^{-3} 以上の電子密度を有することを特徴とする請求項41記載の半導体装置の製造方法により、または請求項43に記載したように、前記マイクロ波プラズマは、前記シリコン基板の表面において10V以下のプラズマ電位を

有することを特徴とする請求項41または42記載の半導体装置の製造方法により、または請求項44に記載したように、前記窒素および水素を構成成分元素として含むガスは、NH₃ガスであることを特徴とする請求項41～43のうち、いずれか一項記載の半導体装置の製造方法により、または請求項45に記載したように、前記窒素および水素を構成成分元素として含むガスは、N₂ガスとH₂ガスの混合ガスよりなることを特徴とする請求項41～43のうち、いずれか一項記載の半導体装置の製造方法により、または請求項46に記載したように、前記シリコン酸化膜は、前記シリコン表面を、Krを主とする不活性ガスと酸素を構成元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマに曝露する工程により形成されることを特徴とする請求項41～45のうち、いずれか一項記載の半導体装置の製造方法により、または請求項47に記載したように、シリコン基板上に、酸化処理によりシリコン酸化膜を形成する工程と、前記シリコン酸化膜の表面を、ArまたはKrより選ばれる不活性ガスと窒素および水素を構成成分元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマに曝露し、前記シリコン酸化膜表面を改変する工程と、前記改変されたシリコン酸化膜上にゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法により、または請求項48に記載したように、前記マイクロ波プラズマは、前記シリコン基板の表面において 10^{12} cm^{-3} 以上の電子密度を有することを特徴とする請求項47記載の半導体装置の製造方法により、または請求項49に記載したように、前記マイクロ波プラズマは、前記シリコン基板の表面において10V以下のプラズマ電位を有することを特徴とする請求項47または48記載の半導体装置の製造方法により、または請求項50に記載したように、前記窒素および水素を構成成分元素として含むガスは、NH₃ガスであることを特徴とする請求項47～49のうち、いずれか一項記載の半導体装置の製造方法により、または請求項51に記載したように、前記窒素および水素を構成成分元素として含むガスは、N₂ガスとH₂ガスの混合ガスよりなることを特徴とする請求項47～49のうち、いずれか一項記載の半導体装置の製造方法により、または請求項52に記載したように、前記シリコン表面の酸化は、前記シリコン表面を、Krを主とする不活性ガスと酸素を構成元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマに曝露する工程により実行されることを特徴とする請求項47～51のうち、いずれか一項記載の半導体装置の製造方法により、または請求項53に記載したように、前記シリコン酸化膜は、熱酸化により形成されることを特徴とする請求項47～51のうち、いずれか一項記載の半導体装置の製造方法により、または請求項54に記載したように、シリコン基板表面を、Krを主とする不活性ガスと窒素を構成元素として含むガ

! (9) 002-261097 (P2002-chJ97

スと酸素を構成成分元素として含むガスとの混合ガス中に形成されたマイクロ波プラズマに曝露し、前記シリコン表面に酸窒化膜を形成する工程と、前記酸窒化膜上にゲート電極を形成する工程とを特徴とする半導体装置の製造方法により、または請求項55に記載したように、前記マイクロ波プラズマは、前記シリコン基板上において 10^{12} cm^{-3} 以上の電子密度を有することを特徴とする請求項54記載の半導体装置の製造方法により、または請求項56に記載したように、前記マイクロ波プラズマは、前記シリコン基板上において10V以下のプラズマ電位を有することを特徴とする請求項54または55記載の半導体装置の製造方法により、または請求項57に記載したように、前記窒素を構成成分元素として含むガスは、 NH_3 ガスであり、前記酸素を構成成分元素として含むガスは O_2 ガスであることを特徴とする請求項54～56のうち、いずれか一項記載の半導体装置の製造方法により、または請求項58に記載したように、前記不活性ガスと前記 O_2 ガスと前記 NH_3 ガスとは、96.5:3:0.5の分圧比で供給されることを特徴とする請求項57記載の半導体装置の製造方法により、または請求項59に記載したように、前記シリコン表面をマイクロ波プラズマに曝露する工程では、前記シリコン表面が原子状酸素 O^* および窒化水素ラジカル NH^* に曝露されることを特徴とする請求項54～58のうち、いずれか一項記載の半導体装置の製造方法により、解決する。

【作用】本発明によれば、シリコン基板などの表面上に形成された酸化膜の表面をArやKrを主とする不活性ガスと窒素と水素を含むガスとの混合ガス中に形成したマイクロ波プラズマに曝露することにより、前記酸化膜の表面が改質され、前記酸化膜の表面数ナノメートルの範囲に窒素が濃集する。かかる酸化膜表面に濃集した窒素は前記酸化膜表面において実質的に層状窒化領域を形成し、その結果前記酸化膜は構造が変化し、近似的にはシリコン酸化膜の表面に窒化膜を積層したのと同様な誘電体膜構造が得られる。

【0029】かかる誘電体膜構造では、シリコン酸化膜領域に対応する大きなバンドギャップ領域に隣接して前記窒化領域に対応してより小さなバンドギャップ領域が形成されているため、また前記窒化領域はシリコン酸化膜よりも大きな比誘電率を有するため、図1のフラッシュメモリ10において前記コントロールゲート電極15に制御電圧が印加されていない状態では、前記誘電体膜構造はチャネル領域11A中の電子に対して実効的に大きな膜厚を示し、前記電子のトンネリングが効果的に阻止される。

【0030】これに対し、前記コントロールゲート電極15に書き込み電圧を印加した場合には前記誘電体膜構造を構成する酸化膜領域および窒化領域のバンド構造が変形するが、その際、前記窒化領域の形成に伴い前記酸

化膜領域の実効的な厚さが減少しており、その結果、チャネル領域11A中のホットエレクトロンは、前記誘電体膜構造中を効率的にトンネリングすることが可能になる。前記酸化膜領域表面に形成された窒化領域はバンドギャップが小さいため、注入されるホットエレクトロンに対してはボテンシャル障壁として作用しない。

【0031】その結果、かかる誘電体膜構造をフラッシュメモリをはじめとする不揮発性半導体メモリ装置のトンネル絶縁膜として使うことにより、リーク電流を低減しつつ、同時に書き込み速度を向上させる、あるいは動作電圧を低減させることができる。

【0032】また、かかる表面に窒素の濃集した構成の酸化膜は、シリコン表面をKrを主とする不活性ガスと、窒素を構成元素として含むガスと酸素を構成元素として含むガスとの混合ガス中に形成したマイクロ波プラズマに曝露することによっても形成できる。このようにして形成された酸化膜は全体としては酸窒化膜の組成を有するが、一部の窒素が前記酸窒化膜とシリコン表面との界面に濃集して応力を緩和し、残りの窒素が膜表面に濃集して所望の窒化物層領域を形成する。かかる構成の酸窒化膜ではシリコン表面との界面に濃集した窒素により応力が緩和され、これに伴い膜中にトラップされた電荷や界面準位の密度が低減され、トンネリング以外の機構によるリーク電流の経路が効果的に遮断される。すなわち、このような方法で形成された酸窒化膜は、非常に優れた膜質を有する。また、かかる酸窒化膜は、膜中に含まれる水素の濃度が、表面密度換算にして 10^{12} cm^{-2} 以下、好ましくは 10^{11} cm^{-2} 以下であるのが好ましい。

【0033】本発明の誘電体膜の形成方法は、550°C以下の低温でできるので、酸化膜中のダングリングボンドを終端している水素を脱離させることなく、膜中の酸素欠損を回復させることができる。これは、後で説明する窒化膜あるいは酸窒化膜の形成においても同じである。

【発明の実施の形態】以下、本発明を適用した好適な諸実施形態について、図面を参照しながら詳細に説明する。

(第1の実施形態) 図4(A)～(C)は、本発明の第1の実施形態による、プラズマを用いた低温での酸化膜形成工程、およびかかる酸化膜を使った半導体装置の製造工程を示す。また図5は、本発明で使われるラジアルラインスロットアンテナを用いたプラズマ処理装置の一例を示す断面図である。

【0034】本実施形態においては、最初に図4(A)の工程においてシリコン表面の未結合手を終端している水素を除去する。より具体的に説明すると、本実施形態では、次の酸化膜形成工程でプラズマ励起ガスとして使われるKrを使用し、同一処理室内で連続して表面終端水素除去処理と酸化処理とを行う。

【0035】まず、図5のプラズマ処理装置において真空容器（処理室）101内を真空にし、次にシャワープレート102から最初にArガスを導入し、それをKrガスに切替える。さらに、前記処理室101内の圧力を133Pa(1Torr)程度に設定する。

【0036】次にシリコン基板103を、加熱機構を持つ試料台104に置き、試料の温度を400°C程度に設定する。前記シリコン基板103の温度が200-550°Cの範囲内であれば、以下に述べる結果はほとんど同様のものとなる。前記シリコン基板103は、直前の前処理工程において希フッ酸洗浄が施され、その結果表面のシリコン未結合手が水素で終端されている。

【0037】次に同軸導波管105からラジアルラインスロットアンテナ106に周波数が2.45GHzのマイクロ波を供給し、前記マイクロ波を前記ラジアルラインスロットアンテナ106から処理室101の壁面の一部に設けられた誘電体板107を通して、前記処理室101内に導入する。導入されたマイクロ波は前記シャワープレート102から前記処理室101内に導入されたKrガスを励起し、その結果前記シャワープレート102の直下に高密度のKrプラズマが形成される。供給するマイクロ波の周波数が900MHz程度以上約10GHz程度以下の範囲にあれば、以下に述べる結果はほとんど同様のものとなる。

【0038】図5の構成においてシャワープレート102と基板103の間隔は、本実施形態では6cmに設定する。この間隔は狭いほうがより高速な成膜が可能となる。本実施形態では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示しているが、他の方法を用いてマイクロ波を処理室内に導入してプラズマを励起してもよい。

【0039】前記シリコン基板103をKrガスで励起されたプラズマに曝すことにより、前記シリコン基板103の表面は低エネルギーのKrイオン照射を受け、その表面終端水素が除去される。

【0040】図6は前記シリコン基板103表面におけるシリコン-水素結合を赤外分光器により分析した結果であり、前記処理室101中にマイクロ波を133Pa(1Torr)の圧力下、1.2W/cm²のパワーで導入することで励起したKrプラズマによる、シリコン表面終端水素の除去効果を示す。

【0041】図6を参照するに、わずか1秒程度のKrプラズマ照射でシリコン-水素結合に特徴的な波数2100cm⁻¹付近の光吸収がほとんど消滅し、約30秒の照射ではほぼ完全に消滅するのがわかる。すなわち、約30秒のKrプラズマ照射により、シリコン表面を終端していた水素が除去できることがわかる。本実施形態では、1分間のKrプラズマ照射を施して、表面終端水素を完全に除去する。

【0042】次に、図4(B)の工程において、前記シ

ャワープレート102から97/3の分圧比のKr/O₂混合ガスを導入する。この際、処理室内の圧力は133Pa(1Torr)程度に維持しておく。KrガスとO₂ガスが混合された高密度励起プラズマ中では、中間励起状態にあるKr*とO₂分子が衝突し、原子状酸素O*を効率よく大量に発生できる。

【0043】本実施例では、この原子状酸素O*により前記シリコン基板103の表面を酸化し、酸化膜103Aを形成する。従来のシリコン表面の熱酸化法では、O₂分子やH₂O分子により酸化が行われ、800°C以上の極めて高い処理温度が必要であったが、本発明の原子状酸素O*による酸化処理では、400°C程度の非常に低い温度で酸化が可能である。Kr*とO₂の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くすると、発生したO*同志が衝突し、O₂分子に戻ってしまう。当然、最適ガス圧力が存在する。

【0044】図7に、処理室内のKr/O₂の圧力比を97/3に保持しつつ、前記処理室101内のガス圧力を変化させた場合の、形成される酸化膜103Aの厚さと処理室内圧力との関係を示す。ただし図7では、シリコン基板103の温度を400°Cに設定し、10分間の酸化処理を行っている。

【0045】図7を参照するに、前記処理室101内の圧力が約133Pa(1Torr)の時に最も酸化速度は速くなり、この圧力ないしはその近傍の圧力条件が最適であることがわかる。この最適圧力は、前記シリコン基板103の面方位が(100)面である場合に限らず、どの面方位のシリコン表面であっても同じである。

【0046】所望の膜厚のシリコン酸化膜103Aが形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにKr/O₂混合ガスをArガスに置換して酸化工程を終了する。本工程の前後にArガスを使用するのはKrより安価なガスをバージガスに使用するためである。本工程に使用されたKrガスは回収再利用する。

【0047】上記の酸化膜形成工程に統いて図4(C)の工程において前記酸化膜103A上にゲート電極103Bを形成し、パターニング工程、イオン注入工程、保護膜形成工程、水素シンタ処理工程等を施すことにより、トランジスタやキャパシタを含む半導体集積回路装置を形成することができる。

【0048】上記の手順で形成されたシリコン酸化膜中の水素含有量を昇温放出により測定したところ、3nmの膜厚のシリコン酸化膜において面密度換算で10¹²/cm²程度以下であった。特にリーク電流が少ない酸化膜においてはシリコン酸化膜内の水素含有量は、面密度換算で10¹¹/cm²程度以下であることが確認された。一方、酸化膜形成前にKrプラズマの暴露を行わなかった酸化膜は面密度換算で10¹²/cm²を超える水素を含んでいた。

【0049】また、上記の手順で形成されたシリコン酸化膜を剥離した後のシリコン表面と酸化膜形成前のシリコン表面の粗さを原子間力顕微鏡で測定して比較したところ、シリコン表面の荒さが変化していないのが確認された。すなわち、終端水素を除去して酸化した後でもシリコン表面が荒れることはない。

【0050】図8は、上記の手順で形成されたシリコン酸化膜中のKr密度の深さ方向分布を、全反射蛍光X線分光装置を用いて調べたものである。ただし図7の結果はシリコンの(100)面についてのものであるが、(100)面に限らず他の方位でも同様の結果が得られる。

【0051】図8の実験では、Kr中の酸素の分圧を3%に、また処理室内の圧力を133Pa(1Torr)に設定し、プラズマ酸化処理を基板温度400°Cで行っている。

【0052】図8を参考するに、シリコン酸化膜中のKr密度は下地のシリコン表面から遠ざかるにつれて増大し、シリコン酸化膜表面では $2 \times 10^{11}/\text{cm}^2$ 程度の密度に達する。このことから、上記の手順で得られるシリコン酸化膜は、下地のシリコン表面からの距離が4nm以上の領域において膜中のKr濃度が一定で、一方シリコン表面からの距離が4nm以下の領域においてはシリコン/シリコン酸化膜の界面に向かって減少している膜であることがわかる。

【0053】図9は、上記の手順で得られたシリコン酸化膜について、リーク電流の印加電界依存性を示す。ただし図9の結果は、シリコン酸化膜の膜厚が4.4nmの場合についてのものである。比較のため、図9中には酸化膜形成前にKrプラズマの暴露を行わなかった場合について、同一膜厚の酸化膜のリーク電流特性を示している。

【0054】図9を参考するに、Krプラズマへの暴露を行わなかった場合のシリコン酸化膜のリーク電流特性は、従来の熱酸化膜のリーク電流特性と同等であり、Kr/O₂マイクロ波プラズマによる酸化処理を行っても、得られる酸化膜のリーク電流特性を余り改善することができないことがわかる。これに対し、Krプラズマ照射により終端水素除去を施してからKr/O₂ガスを導入して酸化を行う本実施形態の方法により形成されたシリコン酸化膜は、従来のマイクロ波プラズマ酸化により形成されたシリコン酸化膜よりも同一電界におけるリーク電流が2~3桁も減少し、非常に良好な低リーク特性を示していることがわかる。同様のリーク電流特性の改善は、さらに薄い1.7nm程度までの膜厚のシリコン酸化膜でも実現できることが確認されている。

【0055】図10は、本実施形態によるシリコン酸化膜のリーク電流特性を、前記シリコン酸化膜の膜厚を変化させて測定した結果を示す。ただし図10中、△は従来の熱酸化膜のリーク電流特性を、また○はKrプラズ

マへの曝露を省略してKr/O₂プラズマによる酸化を行った場合のシリコン酸化膜のリーク電流特性を、さらに●は、前記Krプラズマへの曝露の後、前記Kr/O₂プラズマによる酸化を行った本実施形態によるシリコン酸化膜のリーク電流特性を示す。なお図9中、■で示すデータは、後で説明する酸窒化膜についてのリーク電流特性を示す。

【0056】図10を参照するに、○で示す、Krプラズマへの曝露工程を省略してプラズマ酸化工程で形成したシリコン酸化膜のリーク電流特性は、△で示す熱酸化膜のリーク電流特性と一致するのに対し、●で示す、本実施形態によるシリコン酸化膜のリーク電流特性は、○で示すリーク電流特性に対して2~3桁も減少しているのがわかる。また、本実施形態によるシリコン酸化膜では、膜厚が約1.5nmであっても、厚さが2nmの熱酸化膜のリーク電流に匹敵する、 $1 \times 10^{-2}\text{A}/\text{cm}^2$ のリーク電流を実現できることがわかる。

【0057】また、本実施形態により得られたシリコン酸化膜について、シリコン/シリコン酸化膜界面準位密度の面方位依存性を測定してみると、どの面方位のシリコン表面においても、 $1 \times 10^{10}\text{cm}^{-2}\text{eV}^{-1}$ の非常に低い界面準位密度が得られることを見出した。

【0058】この他、耐圧特性、ホットキャリア耐性、ストレス電流を流したときのシリコン酸化膜が破壊に至るまでの電荷量QBD(Charge-to-Breakdown)などの電気的特性、信頼性的特性に関して、本実施形態により形成した酸化膜は、従来の熱酸化膜と同等ないしはそれ以上の良好な特性を示す。

【0059】上述したように、表面終端水素を除去してからKr/O₂高密度プラズマによりシリコン酸化工程を行うことで、400°Cという低温においても、あらゆる面方位のシリコンに優れたシリコン酸化膜を形成することができる。こうした効果が得られるのは、終端水素除去により酸化膜中の水素含有量が少なくなり、かつ、酸化膜中にKrが含有されることに起因していると考えられる。酸化膜中の水素が少ないとシリコン酸化膜内の元素の弱い結合が少なくなり、またKrが含有されることにより、膜中やSi/SiO₂界面でのストレスが緩和され、膜中電荷や界面準位密度が低減され、シリコン酸化膜の電気的特性が大幅に改善されているためと考えられる。

【0060】特に、表面密度換算において水素濃度を $10^{12}/\text{cm}^2$ 以下、望ましくは $10^{11}/\text{cm}^2$ 程度以下にすることと、 $5 \times 10^{11}/\text{cm}^2$ 以下程度のKrを含むことが、シリコン酸化膜の電気的特性、信頼性的特性的改善に寄与しているものと考えられる。

【0061】本発明の酸化膜を実現するためには、図5の装置の他に、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用してもかまわない。たとえば、マイクロ波によりプラズマを励起す

(12) 02-261097 (P2002-chKo97)

るためにKrガスを放出する第1のガス放出構造と、酸素ガスを放出する、前記第1のガス放出構造とは異なる第2のガス放出構造とを備えた2段シャワープレート型プラズマプロセス装置を使うことも可能である。

【0062】なお、本実施形態では、所望の膜厚のシリコン酸化膜が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにKr/O₂混合ガスをArガスに置換して酸化工程を終えているが、前記マイクロ波パワーを止める前に、圧力を133Pa(1Torr)程度に保ったままシャワープレート102から分圧比98/2のKr/NH₃混合ガスを導入し、シリコン酸化膜の表面に約0.7nmのシリコン窒化膜を形成して処理を終えても良い。この方法によれば表面にシリコン窒化膜が形成されたシリコン酸化膜が得られ、より高い比誘電率を有する絶縁膜を形成することが可能になる。

(第2の実施形態)図11(A)～(C)は、本発明の第2の実施形態によるプラズマを用いた低温での窒化膜の形成方法、およびかかる窒化膜を使った半導体装置の製造方法を示す。

【0063】本実施形態でも、窒化膜形成には図5と同様の装置を用いる。また本実施形態においては、終端水素除去及び窒化膜形成時のためにArまたはKrをプラズマ励起ガスとして使用することが良質な窒化膜を形成する上で望ましい。

【0064】以下Arを使用した際の一例を示す。

【0065】まず、図11(A)の工程において図5の真空容器(処理室)101内を真空に排気し、次にシャワープレート102からArガスを導入して処理室の圧力を13.3Pa(100mTorr)程度に設定する。

【0066】次に、直前の前処理工程において水素添加水洗浄により表面のシリコン未結合手が水素で終端されたシリコン基板103を処理室101中に導入し、加熱機構を持つ試料台104に載置する。さらに試料の温度を500°Cに設定する。この温度が300～550°Cの範囲内であるならば、以下に述べる結果とはほとんど変わらない。

【0067】次に、同軸導波管105から、ラジアルラインスロットアンテナ106および誘電体板107を通して、処理室内に、2.45GHzのマイクロ波を供給し、処理室内に高密度のArプラズマを生成する。供給するマイクロ波の周波数が900MHz程度以上10GHz程度以下の範囲にあれば、以下に述べる結果はほとんど変わらない。シャワープレート102と基板103の間隔は、本実施形態では6cmに設定している。この間隔は狭いほうがより高速な成膜が可能となる。なお本実施形態では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示しているが、他の方法を用いてマイクロ波を処理室内に導入してもよ

い。

【0068】このようにArガスで励起されたプラズマに曝されたシリコン表面は低エネルギーのArイオン照射を受け、その表面終端水素が除去される。本実施形態では1分間のArプラズマ暴露を施す。

【0069】次に図11(B)の工程において、シャワープレート102からArガスに分圧比で2%のNH₃ガスを混合して導入する。この際、処理室の圧力は13.3Pa(100mTorr)程度に保つ。ArガスとNH₃ガスが混合された高密度励起プラズマ中では、中間励起状態にあるAr*とNH₃分子が衝突し、NH*ラジカルが効率よく発生する。このNH*ラジカルがシリコン基板表面を空化し、前記シリコン基板103の表面にシリコン窒化膜103Cが形成される。

【0070】次に、所望の膜厚のシリコン窒化膜103Cが形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにAr/NH₃混合ガスをArガスに置換して窒化工程を終了する。

【0071】さらに図11(C)の工程において上記の窒化膜形成工程により形成されたシリコン窒化膜103Cをゲート絶縁膜として使い、かかるゲート絶縁膜103C上にゲート電極103Dを形成する。さらにパッケージング工程、イオン注入工程、保護膜形成工程、水素シンク処理等を行うことにより、トランジスタやキャッシュなどを含む半導体集積装置が形成される。

【0072】本実施形態では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて窒化膜を成膜した例を示したが、他の方法を用いてマイクロ波を処理室内に導入してもよい。また本実施形態では、プラズマ励起ガスにArを使用しているが、Krを用いても同様の結果を得ることができる。また、本実施形態では、プラズマプロセスガスにNH₃を用いているが、N₂とH₂などの混合ガスを用いても良い。

【0073】本発明のシリコン窒化膜形成においては、表面終端水素を除去した後においても、プラズマ中に水素が存在することが一つの重要な要件である。プラズマ中に水素が存在することにより、シリコン窒化膜及び界面のダンギングボンドがSi-H、N-H結合を形成して終端され、その結果シリコン窒化膜及び界面の電子トラップが無くなると考えられる。

【0074】Si-H結合、N-H結合が本発明の窒化膜に存在することは、それぞれ赤外吸収スペクトル、X線光電子分光スペクトルを測定することで確認されている。水素が存在することで、CV特性のヒステリシスも無くなり、シリコン/シリコン窒化膜界面準位密度も $2 \times 10^{10} \text{ cm}^{-2}$ と低く抑えられる。希ガス(ArまたはKr)とN₂/H₂の混合ガスを使用してシリコン窒化膜を形成する場合には水素ガスの分圧を0.5%以上とすることで、膜中の電子や正孔のトラップを著しく減少させることができる。

(車3) 02-261097 (P2002-%寸坑

【0075】図12は、上述の手順で作成したシリコン窒化膜厚の圧力依存性を示す。ただし図12の実験においてAr/NH₃の分圧比は98/2に設定されており、成膜時間は30分である。

【0076】図12を参照するに、窒化膜の成長速度は、処理室内の圧力を下げる希ガス(ArまたはKr)がNH₃(またはN₂/H₂)に与えるエネルギーを増やした方が速くなることがわかる。窒化膜形成効率の観点からは、ガス圧力は6.65~13.3Pa(50~100mTorr)の範囲が好ましいが、他の実施形態で述べるように、酸化と窒化を連続する工程では酸化に適した圧力、例えば133Pa(1Torr)程度に統一して窒化を行うことも、生産性の観点からは好ましい条件である。また、希ガス中のNH₃(またはN₂/H₂)の分圧は1~10%の範囲が良く、さらに好ましくは2~6%が良い。

【0077】本実施形態により得られたシリコン窒化膜103Cの比誘電率は7.9であったが、この値はシリコン酸化膜の比誘電率の約2倍に相当する。

【0078】本実施形態により得られたシリコン窒化膜103Cの電流電圧特性を測定したところ、膜厚が3.0nm(誘電率換算酸化膜1.5nmに相当)のときに、1Vの電圧印加時において、膜厚が1.5nmの熱酸化膜よりも5~6桁以上も低いリーク電流特性が得られることが見出された。これは、本実施例によるシリコン窒化膜を使うことにより、ゲート絶縁膜にシリコン酸化膜を使用した従来のトランジスタにおいて問題となっている微細化限界を突破できることが可能であることを意味する。

【0079】上述した窒化膜の成膜条件、および物性的、電気的特性は、(100)面方位のシリコン表面上に限定されるものではなく、(111)面を含むあらゆる面方位のシリコンにおいて、同様に成立する。

【0080】本実施形態により得られた好ましい結果は、終端水素が除去されたことによるだけが原因ではなく、窒化膜中にArまたはKrが含有されることにも関係すると考えられる。すなわち、本実施例形態による窒化膜では窒化膜中やシリコン/窒化膜界面でのストレスが、窒化膜中に含有されるArあるいはKrにより緩和され、その結果シリコン窒化膜中の固定電荷や界面準位密度が低減され、電気的特性、信頼性的特性が大幅に改善されたものと考えられる。

【0081】特に、シリコン酸化膜の場合と同様に、表面密度において $5 \times 10^{11} / \text{cm}^2$ 以下のArまたはKrを含むことがシリコン窒化膜の電気的特性、信頼性的特性の改善に寄与していると考えられる。

【0082】本発明の窒化膜103Cを実現するためには、図5の装置の他に、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用してもかまわない。たとえば、マイクロ波によりプラズマ

を励起するためのArまたはKrガスを放出する第1のガス放出構造と、NH₃(またはN₂/H₂ガス)ガスを放出する、前記第1のガス放出構造とは異なる第2のガス放出構造とをもつ2段シャワープレート型プラズマプロセス装置で形成することも可能である。

(第3の実施形態) 図13(A)~(D)は、本発明の第3の実施形態による、プラズマを用いた低温での酸化膜と窒化膜を積層した2層積層誘電体構造の形成方法、およびかかる2層積層誘電体構造を使った半導体装置の製造方法を示す。

【0083】本実施形態で使われる酸化膜および窒化膜の形成装置は図5と同じである。本実施形態においては、酸化膜及び窒化膜形成のためにKrをプラズマ励起ガスとして使用する。

【0084】まず図13(A)の工程において、図5の真空容器(処理室)101内を真空中に排氣し、シャワープレート102からArガスを前記処理室101中に導入する。次に導入されるガスを当初のArからKrガスに切り替え、前記処理室101内の圧力を133Pa(1Torr)程度に設定する。

【0085】次に、直前の前処理工程で希フッ酸洗浄が施され表面のシリコン未結合手が水素で終端されているシリコン基板103を前記処理室101内に導入し、加熱機構を備えた試料台104に載置する。さらに試料の温度を400°Cに設定する。

【0086】次に前記同軸導波管105からラジアルラインスロットアンテナ106に周波数が2.45GHzのマイクロ波を1分間供給し、前記マイクロ波を前記誘電体板107を介して前記処理室101内に導入する。このようにして前記処理室101内に生成した高密度のKrプラズマに、前記シリコン基板103の表面を曝すことにより、表面終端水素を除去する。

【0087】次に図13(B)の工程において、前記処理室101内の圧力を133Pa(1Torr)程度に保持したまま、シャワープレート102から97/3の分圧比のKr/O₂混合ガスを導入し、前記シリコン基板103の表面に厚さが1.5nmのシリコン酸化膜103Aを形成する。

【0088】次に図13(C)の工程において、マイクロ波の供給を一時停止し、O₂ガスの導入を停止する。さらに真空容器(処理室)101内をKrでバージした後、シャワープレート102から分圧比98/2のKr/NH₃混合ガスを導入し、処理室内の圧力を133Pa(1Torr)程度に設定したまま、再び周波数が2.56GHzのマイクロ波を供給し、前記処理室101内に高密度のプラズマを生成して、前記シリコン酸化膜103Aの表面に1nmのシリコン窒化膜103Nを形成する。

【0089】次に、所望の膜厚のシリコン窒化膜103Aが形成されたところでマイクロ波パワーの導入を停止

してプラズマ励起を終了し、さらにKr/NH₃混合ガスをArガスに置換して酸化窒化工程を終了する。

【0090】次に図13(D)の工程において、以上の工程で得られた酸化窒化膜をゲート絶縁膜としてその上にゲート電極103Bを形成し、さらにパターニング工程、イオン注入工程、保護膜形成、水素シンタ処理等を施すことにより、トランジスタやキャパシタを有する半導体集積回路装置が形成される。

【0091】このようにして形成した積層ゲート絶縁膜の実効的な誘電率を測定したところ、約6の値が得られた。その他、リーク電流特性、耐圧特性、ホットキャリア耐性などの電気的特性、信頼性的特性も先の実施形態1の場合と同様に、優れたものであった。得られたゲート絶縁膜にはシリコン基板103の面方位に対する依存性も見られず、(100)面以外のどの面方位のシリコンにも優れた特性のゲート絶縁膜を形成できた。このようにして、酸化膜の低界面準位特性と窒化膜の高誘電率特性を兼ね備えたゲート絶縁膜を実現できた。

【0092】本実施形態では、シリコン側に酸化膜を形成する酸化膜、窒化膜の2層構成を示したが、目的に応じて酸化膜、窒化膜の順序を入れ替えること、また酸化膜／窒化膜／酸化膜、窒化膜／酸化膜／窒化膜などのさらに複数の積層膜を形成することも可能である。

【0093】図14は、本実施例により得られた2層積層構造の誘電体膜中における窒素濃度分布を概略的に示す。

【0094】図14を参照するに、窒素は、前記窒化膜103Nに対応して誘電体膜表面の深さが2~3nmの領域に濃集しており、それ以上の深さには侵入しない。すなわち、本実施の形態による方法によれば、酸化膜表面に厚さが2~3nmの窒化領域を、安定して形成することが可能である。

【0095】図15は、図13(D)の半導体装置の断面A-A'に沿ったバンド構造図を、熱平衡状態について示す。

【0096】図15を参照するに、バンドギャップの大きいシリコン酸化膜層103Aに隣接してバンドギャップのより小さい窒化物層103Nが形成されており、前記窒化物層103Nに隣接してゲート電極103Bが、また前記シリコン酸化膜層103Aに隣接してシリコン基板103が形成されているのがわかる。

【0097】かかるバンド構造では、前記シリコン基板103中の伝導電子は、前記半導体装置がゲート電極103Bに電圧が印加されない非駆動状態にある場合、前記シリコン酸化膜層103Aおよび窒化物層103Nよりなる厚い誘電体膜によりトンネリングを阻止され、ゲート電極103Bにリークすることはない。後でフラッシュメモリ素子について説明するように、図15のバンド構造は、リーク電流を抑制し、しかもトンネル電流の電流密度を増大させるのに非常に有効である。

(第4の実施形態) 図16(A)~(C)は、本発明の第4の実施形態による、プラズマを用いて低温で行う酸窒化膜の形成方法、およびかかる酸窒化膜を使った半導体装置の製造方法を示す。ただし本実施形態で使う酸窒化膜形成装置は、図5と同じである。本実施形態においては、Krをプラズマ励起ガスとして使用する。

【0098】まず、図16(A)の工程において図5の真空容器(処理室)101内を真空に排気し、シャワープレート102から前記処理室101中にArガスを導入する。次に前記処理室101中に導入されるガスをArからKrガスに切り替え、処理室内の圧力を133Pa(1Torr)程度に設定する。

【0099】さらに直前の前処理工程で希フッ酸洗浄が施された表面のシリコン未結合手が水素で終端されているシリコン基板103を前記処理室101中に導入し、加熱機構を備えた試料台104に載置する。さらに試料の温度を400°Cに設定する。

【0100】次に、同軸導波管105からラジアルラインスロットアンテナ106に周波数が2.45GHzのマイクロ波を1分間供給し、前記ラジアルラインスロットアンテナ106から誘電体板107を通して処理室101内に前記マイクロ波を導入し、前記処理室101内に高密度のKrプラズマを生成する。このようにしてKrガスで励起されたプラズマに前記シリコン基板103の表面を曝すことにより、その表面終端水素を除去する。

【0101】次に図16(B)の工程において、前記処理室101の圧力を133Pa(1Torr)程度に維持し、前記シャワープレート102から分圧比96.5/3/0.5のKr/O₂/NH₃混合ガスを導入し、シリコン表面に3.5nmのシリコン酸窒化膜103Eを形成する。所望の膜厚のシリコン酸窒化膜103Eが形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにKr/O₂/NH₃混合ガスをArガスに置換して酸窒化工程を終える。

【0102】次に図16(C)の工程において形成された酸窒化膜103Eをゲート絶縁膜として、前記ゲート絶縁膜103E上にゲート電極103Fを形成する。さらにパターニング工程、イオン注入工程、保護膜形成工程、水素シンタ処理工程などを施し、トランジスタやキャパシタを含む半導体集積回路装置を形成する。

【0103】図17は、発光分析により測定した図5の処理装置中における原子状酸素O*の発生密度とKr/O₂/NH₃ガス中のNH₃ガスの混合比の関係を示す。

【0104】図17を参照するに、発光分析により測定した原子状酸素O*の発生密度はKr/O₂/NH₃ガスの混合比が97/3/0~95/3/2の範囲では実質的に変化しないが、それ以上NH₃の比率を増大させると原子状酸素O*の発生量が減り、代わりに原子状水素の量が増加するのがわかる。特にKr/O₂/NH₃ガス

の混合比が9.6. 5/3/0.5程度の場合に得られる酸窒化膜においてリーク電流が最も減少し、絶縁耐圧、電荷注入耐圧も向上する。

【0105】図18は、2次イオン質量分析器で測定した、本実施の形態による酸窒化膜内のシリコン、酸素、窒素の濃度分布を示す。ただし図18中、横軸は酸窒化膜の表面からの深さを示す。図18中、シリコン、酸素、窒素の分布が膜内でなだらかに変化しているように見えるが、これは酸窒化膜の膜厚が不均一なわけではなく、エッチング均一性が悪いことに起因する。

【0106】図18を参照するに、前記酸窒化膜における窒素の濃度は、シリコン/シリコン酸窒化膜界面とシリコン酸窒化膜表面において高く、酸窒化膜中央部では減少するのがわかる。この酸窒化膜中に取り込まれている窒素の量はシリコンや酸素の比べて数割以下である。後で説明するように、図18のシリコン酸窒化膜においてシリコン/シリコン酸窒化膜界面に濃集している窒素は、かかる界面において応力を緩和しているものと考えられ、その結果、図18のシリコン酸窒化膜においては、応力に起因する膜中電荷のトラップや界面準位の密度が低減され、リーク電流が減少する。

【0107】図19は本実施形態による酸窒化膜のリーク電流の印加電界依存性を示す。ただし図19中、比較のためにマイクロ波プラズマによる酸化膜形成の前にKrプラズマへの暴露処理を行わなかった同一膜厚の酸化膜のリーク電流特性と、熱酸化により形成された酸化膜のリーク電流特性も示している。

【0108】図19を参照するに、Krプラズマ照射により終端水素除去を施してからKr/O₂/NH₃ガスを導入して酸窒化を行った本実施形態による酸窒化膜では、従来の手法で形成された酸化膜より、同一電界で比較したリーク電流の値が2~4桁も減少して、良好な低リーク特性が得られていることがわかる。

【0109】なお、先に説明した図10中には、このようにして形成された酸窒化膜のリーク電流特性と膜厚の関係が、■により示されている。

【0110】図10を再び参照するに、本実施の形態によりKr照射を行った後で形成された酸窒化膜は、同様な工程で形成された酸化膜と同様なリーク電流特性を有し、特に膜厚が約1.6nmの場合においてもリーク電流の値が $1 \times 10^{-2} A/cm^2$ に過ぎないことがわかる。

【0111】本実施形態による酸窒化膜では、その他、耐圧特性、ホットキャリア耐性などの電気的特性、信頼性的特性も、先の実施形態1の酸化膜以上に優れたものであった。またシリコン基板の面方位に対する依存も見られず、シリコンの(100)面のみならず、どの面方位のシリコン表面上にも、優れた特性のゲート絶縁膜を形成することができる。

【0112】上述したように、表面終端水素を除去して

からKr/O₂/NH₃高密度プラズマによりシリコン酸窒化工程を行うことで、400°Cという低温においても、あらゆる面方位のシリコン表面上に、優れた特性および膜質のシリコン酸窒化膜を形成することができる。

【0113】本実施の形態においてこのような好ましい効果が得られるのは、終端水素除去により酸窒化膜中の水素含有量が減少していることだけでなく、酸窒化膜中に数割以下の窒素が含有されることにも起因しているものと考えられる。本実施形態の酸窒化膜ではKrの含有量は実施形態1の酸化膜に比べ約1/10以下であり、Krの代わりに窒素が多く含有されている。すなわち本実施の形態では、酸窒化膜中の酸窒化膜中の水素が少ないため、シリコン酸窒化膜中において弱い結合の割合が減少し、また窒素が含有されることにより、膜中やSi/SiO₂界面でのストレスが緩和され、その結果膜中電荷や界面準位の密度が低減し、よって前記酸窒化膜の電気的特性が大幅に改善されていると考えられる。特に前記酸窒化膜中の水素濃度が、表面密度換算において $10^{12} cm^{-2}$ 以下、望ましくは $10^{11} cm^{-2}$ 程度以下に減少していること、および膜中にシリコンあるいは酸素の数割以下濃度の窒素を含むことが、シリコン酸窒化膜の電気的特性、信頼性的特性の改善に寄与していると考えられる。

【0114】なお、本実施形態では、所望の膜厚のシリコン酸窒化膜が形成された時点でマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにKr/O₂/NH₃混合ガスをArガスに置換して酸窒化工程を終えているが、このマイクロ波パワーを止める前に、圧力を133Pa(1Torr)程度に保持したまま、前記シャーブレート102から分圧比98/2のKr/NH₃混合ガスを導入し、シリコン酸窒化膜の表面に約0.7nmのシリコン窒化膜を形成してから酸窒化工程を終了してもよい。この方法によればシリコン酸窒化膜の表面にシリコン窒化膜が形成され、より高誘電率な絶縁膜が形成できる。

【0115】本実施形態による酸窒化膜では、先に図18で説明した膜中におけるシリコン/酸窒化膜界面および酸窒化膜表面への窒素の濃集は、前記酸窒化膜の成長の間も維持される。

【0116】図20は、前記酸窒化膜の成長に伴う窒素分布プロファイルの変化を概略的に示す。

【0117】図20を参照するに、窒素は前記酸窒化膜の表面と、前記酸窒化膜と下地のシリコン基板との界面に濃集し、この傾向は前記酸窒化膜が成長しても維持される。その結果、前記酸窒化膜は全体としては酸窒化膜の組成を有していても、膜厚方向上の中心部は酸化膜に近い組成を有し、一方表面および、前記酸窒化膜とシリコン基板との界面は窒化膜に近い組成を有することになる。また、酸窒化膜表面の窒素が侵入する深さはせいぜい2~3nmに限られており、従って前記酸窒化膜の表

(16) 02-261097 (P2002-H坑)

面に形成される窒化膜の厚さも2～3nmに限られる。
 (第5の実施形態) 次に、シャロートレンチアイソレーションを構成する素子分離側壁部の角部分や、凹凸を有する表面形状をもつシリコン表面に高品質なシリコン酸化膜を形成した、本発明の第5の実施の形態による半導体装置の形成方法を示す。

【0118】図21(a)はシャロートレンチアイソレーションの概念図を示す。

【0119】図21(a)を参照するに、図示のシャロートレンチアイソレーションはシリコン基板1003表面上にプラズマエッチングによりアイソレーショントレンチを形成し、形成されたトレンチをCVD法により形成されたシリコン酸化膜1002により充填し、さらに、前記シリコン酸化膜1002を例えばCMP法などにより平坦化することにより形成される。

【0120】本実施の形態では、CMP法による前記シリコン酸化膜1002の研磨工程の後、シリコン基板を800～900°Cの酸化性の雰囲気に曝すことにより犠牲酸化を行い、犠牲酸化により形成されたシリコン酸化膜をフッ酸を含む薬液中でエッチングし、水素終端されたシリコン表面を得る。本実施形態では、実施形態1と同様の手順で、Krプラズマにより表面終端水素を除去し、その後Kr/O₂ガスを導入してシリコン酸化膜を約2.5nm形成する。

【0121】本実施の形態によれば、図21(c)に示すように、シャロートレンチアイソレーションの角部においても、シリコン酸化膜は一様な厚さで形成され、シリコン酸化膜の膜厚の減少が生じることはない。このKrプラズマを用いたプラズマ酸化法により形成されたシャロートレンチアイソレーション部分を含めた全体のシリコン酸化膜のQBD(Charge to Breakdown)特性は、非常に良好で、注入電荷量10²C/cm²でもリーク電流上昇が起きず、デバイスの信頼性が大幅に改善される。

【0122】前記シリコン酸化膜を従来の熱酸化法によって形成した場合には、図21(b)に示すように、シャロートレンチアイソレーションのテーパ角が大きくなるに従って、シャロートレンチアイソレーション角部での薄膜化が激しくなるが、本発明のプラズマ酸化によれば、テーパ角が大きくなても、シャロートレンチアイソレーション角部でのシリコン酸化膜の薄膜化は起こらない。そこで本実施例ではシャロートレンチアイソレーション構造において、トレンチのテーパ角を直角に近づけることで素子分離領域の面積を減少でき。半導体素子のさらなる集積度向上が可能となる。従来の熱酸化などの技術では、図14(b)に示したトレンチ角部での熱酸化膜の薄膜化に起因する制約により、素子分離部に約70度程度のテーパ角が用いられていたが、本発明によれば、90度の角度を使うことが可能である。

【0123】図22は、シリコン基板を約90度にエッ

チングした凹凸表面形状を持つシリコン基板に実施形態1の手順に従って3nmの厚さに形成したシリコン酸化膜の断面を示す。

【0124】図22を参照するに、どの面上にも均一な膜厚のシリコン酸化膜が形成できていることが確認できる。

【0125】このようにして形成された酸化膜ではリーク電流や耐圧などの電気的特性は良好であり、従って本発明により縦型構造などの複数の面方位をもつシリコン立体的構造を持つ高密度な半導体集積化装置を実現することが可能となる。

(第6の実施形態) 図23は、本発明の第6の実施形態によるフラッシュメモリ素子20の構成を示す。ただし図23中、先に図1で説明した部分には同一の参照符号を付し、説明を省略する。

【0126】図23を参照するに、本実施例のフラッシュメモリ素子20は、トンネル絶縁膜12として、先の第3の実施形態または第4の実施形態による誘電体膜12Aを使う。

【0127】図24は、図23のフラッシュメモリ素子20において前記コントロールゲート電極15に書き込み電圧が印加された状態を示す。

【0128】図24を参照するに、前記誘電体膜12Aを構成するシリコン酸化膜および窒化膜のバンド構造は前記コントロールゲート電極15への書き込み電圧の印加に伴うフローティングゲート電極13の電位の変化により大きく変形し、前記チャネル領域11A中に形成されたホットエレクトロンは、前記シリコン酸化膜の伝導帯Ecが形成する三角ポテンシャル中をファウラー・ノルトハイム型トンネル電流として通過し、フローティングゲート電極13中に注入される。

【0129】一方、先に図15で説明したように、このような誘電体膜は、前記フラッシュメモリ素子20の非書き込み状態においては、チャネル領域11A中の伝導電子に対して厚いポテンシャルバリアを形成するため、トンネル電流は効果的に阻止される。

【0130】図25は、図23のフラッシュメモリ素子20における前記トンネル絶縁膜12Aの印加電界-電流密度特性を、図3のグラフに重ねて示す。

【0131】図25を参照するに、前記トンネル絶縁膜12Aは印加電界が小さい場合には非常に低いリーク電流を与えるのに対し、印加電界が増大し、所定の書き込み電界が印加された場合にはトンネル電流が急増し、短時間で効率的に情報の書き込みを行うことが可能になる。また従来の注入電流レベルで書き込みを行う場合には、書き込みに要する時間が短縮されるのがわかる。

【0132】図23のフラッシュメモリ素子20において、図16(A)～(C)の工程で形成される酸窒化膜103Eを前記トンネル絶縁膜12Aとして使った場合には、前記Si基板11とトンネル絶縁膜12Aとの界

(17) 02-261097 (P2002-%:顕坑

面における応力が緩和され、前記トンネル絶縁膜12Aの膜質が向上するため、リーク電流値をさらに低減させることができる。このことは、前記トンネル絶縁膜12Aの膜厚を減少させることを意味しており、低電圧動作するフラッシュメモリ素子を実現することが可能になる。

(第7の実施形態) 次に、上述したプラズマを用いた低温での酸化膜および窒化膜、あるいは酸窒化膜の形成技術を使用した本発明の第7の実施の形態によるフラッシュメモリ素子について説明する。なお以下の説明では、フラッシュメモリ素子を一例として開示するが、本発明は同様の積層構造を有するE PROM、EEPROM等にも適用可能である。

【0133】図26は、本実施の形態によるフラッシュメモリ素子の概略断面構造図を示す。

【0134】図26を参照するに、前記フラッシュメモリ素子はシリコン基板1201上に形成されており、前記シリコン基板1201上に形成されたトンネル酸化膜1202と、前記トンネル酸化膜1202上に形成されたフローティングゲート電極となる第1の多結晶シリコンゲート電極1203と、前記多結晶シリコンゲート電極1203上に順次形成されたシリコン酸化膜1204およびシリコン窒化膜1205と、前記シリコン窒化膜1205上に形成されコントロールゲート電極を構成する第2の多結晶シリコンゲート電極1206とから構成されている。また図26中、ソース領域、ドレイン領域、コンタクトホール、配線パターンなどの図示は省略して記載している。前記シリコン酸化膜1202は第1の実施形態で説明したシリコン酸化膜形成方法により、また、シリコン酸化膜1204および窒化膜1205の積層構造は、実施形態3で説明したシリコン窒化膜の形成方法により形成する。

【0135】図27～図30は本実施形態のフラッシュメモリ素子の製造方法を段階的に説明するための概略断面図である。

【0136】図27を参照するに、シリコン基板1301上にはフィールド酸化膜1302によりフラッシュメモリセル領域A、高電圧用トランジスタ領域B及び低電圧用トランジスタ領域Cが画成されており、前記領域A～Cの各々において前記シリコン基板301の表面にシリコン酸化膜1303が形成されている。前記フィールド酸化膜1302は選択酸化法(LOCOS法)やシャロートレンチアイソレーション法などで形成すればよい。

【0137】本実施形態においては、表面終端水素除去、酸化膜及び窒化膜形成のためにKrをプラズマ励起ガスとして使用する。酸化膜、窒化膜形成装置は図5と同じである。

【0138】次に図28の工程において、メモリセル領域Aから前記シリコン酸化膜1303を除去し、希フッ

酸洗浄によりシリコン表面を水素終端する。さらに先の実施の形態1と同様にして、トンネル酸化膜1304を形成する。

【0139】すなわち、先の実施形態1と同様に、前記真空容器(処理室)101内を真空に排気し、前記処理室101中にシャワープレート102からArガスを導入する。次に前記ArガスをKrガスに切替え、処理室101中の圧力を1Torrr程度に設定する。

【0140】次に、前記シリコン酸化膜1303を除去しシリコン表面を希フッ酸処理した前記シリコン基板1301を、図5のシリコン基板103として前記処理室101内に導入し、加熱機構を備えた試料台104に載置する。さらに試料の温度を400°Cに設定する。

【0141】さらに前記同軸導波管105からラジアルラインスロットアンテナ106に周波数が2.45GHzのマイクロ波を1分間供給し、前記マイクロ波を前記ラジアルラインスロットアンテナ106から前記誘電体板107を通して前記処理室101内に導入する。前記シリコン基板1301の表面を、このようにして前記処理室101中に形成される高密度Krプラズマに曝露することにより、前記基板1301のシリコン表面から終端水素が除去される。

【0142】次に、次に前記シャワープレート102からKrガス、O₂ガスを導入して前記領域Aに前記トンネル絶縁膜となるシリコン酸化膜1304を、3.5nmの厚さに形成し、続いて第1の多結晶シリコン層1305を、前記シリコン酸化膜1304を覆うように堆積する。

【0143】次に、高電圧用及び低電圧用トランジスタ形成領域B、Cにおいて前記第1の多結晶シリコン層1305バーニングにより除去し、メモリセル領域Aのトンネル酸化膜1304上にのみ、第1の多結晶シリコンパターン1305を残す。

【0144】このエッチング後、洗浄を行い、多結晶シリコンパターン1305の表面は水素終端される。

【0145】次に図29の工程において、先の第3の実施形態と同様にして、下部酸化膜1306A及び上部窒化膜1306BのON構造を有する絶縁膜1306を、前記多結晶シリコンパターン1305の表面を覆うように形成する。

【0146】このON膜は、次のようにして形成する。

【0147】真空容器(処理室)101内を真空に排気し、シャワープレート102から導入されていたArガスをKrガスに切替えて導入し、処理室内の圧力を133Pa(1Torrr)程度に設定する。次に、前記水素終端された多結晶シリコンパターン1305を有するシリコン基板1301を前記処理室101内に導入し、加熱機構を持つ試料台104に載置する。さらに試料の温度を400°Cに設定する。

【0148】次に、同軸導波管105から周波数が2.

(18) 102-261097 (P 2002-5" 97

45 GHz のマイクロ波を前記ラジアルラインスロットアンテナ 106 に1分間ほど供給し、前記マイクロ波を前記ラジアルラインスロットアンテナ 106 から前記誘電体板 107 を介して前記処理室 101 内に導入し、高密度の Kr プラズマを生成する。その結果、前記多結晶シリコンパターン 1305 の表面は Kr ガスに曝露され、表面終端水素が除去される。

【0149】次に前記処理室 101 内の圧力を 133 Pa (1 Torr) 程度に維持したまま、前記シャワープレート 102 から前記処理室 101 内に Kr/O₂ 混合ガスを導入し、多結晶シリコン表面に 3 nm のシリコン酸化膜を形成する。

【0150】次に、マイクロ波の供給を一時停止した後、Kr ガス、O₂ ガスの導入を停止し、真空容器（処理室）101 内を排気してから、シャワープレート 102 から Kr ガスおよび NH₃ ガスを導入する。前記処理室 101 内の圧力を 13.3 Pa (100 mTorr) 程度に設定し、再び 2.45 GHz のマイクロ波を前記処理室 101 内に前記ラジアルラインスロットアンテナ 106 から供給し、処理室内に高密度のプラズマを生成して、シリコン酸化膜表面に 6 nm のシリコン窒化膜を形成する。

【0151】このようにして ON 膜を 9 nm 形成したところ、得られた ON 膜の膜厚は一様で、多結晶シリコンの面方位に対する依存性も見られず、極めて均一な膜が得られるのがわかった。

【0152】このようにして前記 ON 膜を形成した後、図 30 の工程において高電圧用及び低電圧用トランジスタ領域 B, C にから絶縁膜 1306 をバーニングにより除去し、次に高電圧用及び低電圧用トランジスタ領域 B, C 上に閾値電圧制御用のイオン注入を行う。さらに前記領域 B, C 上に形成された酸化膜 1303 を除去し、前記領域 B にはゲート酸化膜 1307 を 5 nm の厚さに形成し、その後、前記領域 C にゲート酸化膜 1308 を 3 nm の厚さに形成する。

【0153】その後、フィールド酸化膜 1302 を包含する全体構造上に第 2 の多結晶シリコン層 1309 及びシリサイド層 1310 を順次に形成し、さらに前記第 2 の多結晶シリコン層 1309 及びシリサイド層 1310 をバーニングして前記高電圧用トランジスタ領域 B および低電圧用トランジスタ領域 C にゲート電極 1311 B および 1311 C をそれぞれ形成する。さらに前記メモリセル領域 A に対応してゲート電極 1311 A を形成する。

【0154】図 30 の工程の後、標準的な半導体工程に準拠して、ソース領域およびドレン領域を形成し、層間絶縁膜およびコンタクトホールの形成や配線パターンの形成などを行って素子を完成させる。

【0155】本発明では、これらの絶縁膜 1306 A, 1306 B は、その膜厚を従来の酸化膜や窒化膜の約半

分に減少させても良好な電気的特性を維持する。すなわち、これらのシリコン酸化膜 1306 A 及びシリコン窒化膜 1306 B は薄膜化しても良好な電気的特性を有し、緻密で高品質である。なお本発明では前記シリコン酸化膜 1306 A 及びシリコン窒化膜 1306 B は低温で形成されるのでゲート多結晶シリコンと酸化膜との界面でサーマルバジェット等が発生することはなく、良好な界面が得られている。

【0156】本発明のフラッシュメモリ素子は、情報の書き込み及び消去動作が低電圧で行え、基板電流の発生を抑制することができ、トンネル絶縁膜の劣化が抑えられる。このため、本発明のフラッシュメモリ素子を二次元配列して形成された不揮発性半導体メモリ装置は、高い歩留りで製造でき、安定した特性を示す。

【0157】本発明によるフラッシュメモリ素子は前記絶縁膜 1306 A, 1306 B が優れた膜質を有することに対応してリーク電流が小さく、またリーク電流を増やすことなく膜厚を減少させることができるため、書き込みあるいは消去動作が 5 V 程度の動作電圧で可能になる。その結果、フラッシュメモリ素子のメモリ保持時間が従来よりも 2 衍以上増大し、書き換え可能回数も約 2 衍以上増大する。

【0158】なお、絶縁膜 1306 の膜構成は上記 ON 構造に限ったものではなく、実施形態 1 と同様の酸化膜からなる O 構造、実施形態 2 と同様の窒化膜からなる N 構造、あるいは実施形態 4 と同様な酸窒化膜であってもよい。また、前記絶縁膜 1306 は、窒化膜および酸化膜からなる NO 構造、酸化膜、窒化膜および酸化膜を順次積層した ONO 構造、窒化膜、酸化膜、窒化膜、酸化膜を順次積層した NONO 構造などであってもよい。前記絶縁膜 1306 としていずれの構造を選ぶかは、周辺回路の高電圧トランジスタ及び低電圧トランジスタのゲート酸化膜との整合性や共用可能性などを考慮して、目的に応じて選択することができる。

（第 8 の実施形態）図 1 の装置を用いた、Kr/O₂ マイクロ波励起高密度プラズマによるゲート酸化膜の形成、あるいは Ar (または Kr) /NH₃ (または N₂/H₂) マイクロ波励起高密度プラズマによるゲート窒化膜の形成は、従来のような高温工程を用いることができない金属層が下地シリコン内に存在するシリコン・オン・シンシュレータ（金属基板 SOI）ウエハ上の半導体集積回路装置の形成に適用可能である。特に、シリコンの膜厚が薄い完全空乏化動作を行う SOI 構造において、本発明による終端水素除去の効果が顕著である。

【0159】図 31 は、金属基板 SOI 構造を有する MOS トランジスタの断面図を示す。

【0160】図 31 を参照するに、1701 は、n⁺ 型あるいは p⁺ 型の低抵抗半導体層、1702 は、NiSiなどのシリサイド層、1703 は、TaN、TiN などの導電性窒化物層、1704 は Cu 等の金属層、17

05はTaN、TiNなどの導電性窒化物層、1706はn⁺型あるいはp⁺型の低抵抗半導体層、1707は、AlN、Si₃N₄等の窒化物絶縁膜、1708はSiO₂膜、1709は、SiO₂層、BPSG層、もしくはそれらを組み合わせた絶縁膜層、1710はn⁺型ドレイン領域、1711は、n⁺型ソース領域、1712はp⁺型ドレイン領域、1713は、p⁺型ソース領域、1714、1715は<111>方向に配向したシリコン半導体層、1716は本発明の実施形態1の手順によりKrプラズマ照射で表面終端水素が除去された後Kr/O₂マイクロ波励起高密度プラズマで形成されたSiO₂膜、1717および1718は、それぞれTa、Ti、TaN/Ta、TiN/Ti等で形成されるnMOSトランジスタおよびpMOSトランジスタのゲート電極、1719はnMOSトランジスタのソース電極、1720はnMOSトランジスタ及びpMOSトランジスタのドレイン電極である。1721はpMOSトランジスタのソース電極である。1722は基板表面電極である。

【0161】このようなTaNやTiNで保護された、Cu層を含む基板では、Cuの拡散を押さえるために、熱処理温度は、約700°C以下でなければならない。n⁺型あるいはp⁺型のソースあるいはドレイン領域は、As⁺、AsF₂⁺あるいはBF₂⁺のイオン注入後、550°Cの熱処理で形成する。

【0162】図31のデバイス構造を有する半導体装置において、ゲート絶縁膜に熱酸化膜を用いた場合と、Krプラズマ照射で表面終端水素が除去された後でKr/O₂マイクロ波励起高密度プラズマ処理で形成されたゲート絶縁膜を用いた場合でトランジスタのサブスレッショールド特性の比較を行うと、ゲート絶縁膜を熱酸化により形成した場合にはサブスレッショールド特性にはキックやリークが観察されるが、本発明によりゲート絶縁膜を形成した場合にはサブスレッショールド特性は極めて良好である。

【0163】また、メサ型素子分離構造をもちいると、メサ素子分離構造の側壁部にはシリコン平面部とは別の面方位のシリコン表面が現れるが、Krを用いたプラズマ酸化によりゲート絶縁膜を形成することで、メサ素子分離側壁部の酸化も平面部と同様にほぼ均一に行うことができ、良好な電気的特性、高い信頼性を得ることができる。

【0164】また、第2の実施形態の手順により、Ar/NH₃を用いて形成したシリコン窒化膜をゲート絶縁膜に使用した場合にも、非常に良好な電気的特性、高い信頼性を持った金属基板SOI集積回路装置を作成することができる。

【0165】本実施形態においても、シリコン窒化膜の厚さを3nm（シリコン酸化膜厚誘電率換算1.5nm）としても良好な電気的特性を得ることができ、3nm

mのシリコン酸化膜を使用したときよりもトランジスタの駆動能力を約2倍上げることができた。

（第9の実施形態）図32は、液晶表示素子や有機エレクトロルミネッセンス素子などが形成されるガラス基板やプラスチック基板などの大型長方形基板上に形成された多結晶シリコンやアモルファスシリコン層に対して酸化処理、窒化処理、あるいは酸窒化処理を行うための、本発明第8の実施形態による製造装置の一例を示す概念図を示す。

【0166】図32を参照するに、真空容器（処理室）1807内を減圧状態にし、次に前記処理室1807内に設けられたシャワープレート1801からKr/O₂混合ガスを導入し、さらに前記処理室1807内をネジ溝ボンプ1802によって排気することにより、前記処理室1807内の圧力を133Pa(1Torr)に設定する。さらにガラス基板1803を、加熱機構を持つ試料台1804に置き、ガラス基板の温度を300°Cに設定する。

【0167】前記処理室1807には多数の方形導波管1805が設けられており、次に前記多数の方形導波管1805の各々のスリット部から、誘電体板1806を通して前記処理室内1807内にマイクロ波を導入し、前記処理室1807内に高密度のプラズマを生成する。その際、前記処理室1807中に設けられたシャワープレート1801は導波管から放射されたマイクロ波を、左右に表面波として伝搬させる導波路の役割をも果たす。

【0168】図33は、図32の装置を使用して本発明のゲート酸化膜またはゲート窒化膜を作成し、液晶表示素子、有機EL発光素子等の駆動、あるいは処理回路用の多結晶シリコン薄膜トランジスタ（TFT）を形成した例を示す。

【0169】まず、シリコン酸化膜を形成し使用した例を述べる。

【0170】図33を参照するに、1901はガラス基板、1902はSi₃N₄膜、1903は(111)面に主に配向した多結晶シリコンnMOSのチャネル層、1905、1906はそれぞれ多結晶シリコンのnMOSのソース領域、ドレイン領域、1904は(111)面に主に配向した多結晶シリコンpMOSのチャネル層、1907、1908はそれぞれ多結晶シリコンpMOSのソース領域、ドレイン領域である。1910は多結晶シリコンnMOSのゲート電極、1911は多結晶シリコンpMOSのゲート電極、1912はSiO₂、BSG、BPSG等の絶縁膜、1913、1914は多結晶シリコンnMOSのソース電極（同時に多結晶シリコンp-MOSのドレイン電極）、1915は多結晶シリコンp-MOSのソース電極である。

【0171】絶縁膜上に形成される多結晶シリコンは絶縁膜に対して垂直方向に(111)面方位を向くときが

(20) 02-261097 (P2002-597)

安定であり、かつ緻密で結晶性が良く高品質なものとなる。本実施形態では、1909は図32の装置を使用して実施形態1と同様の手順で作成した厚さ0.2μmの本発明のシリコン酸化膜層であり、(111)面を向いた多結晶シリコン上に400°Cで厚さ3nmで形成している。

【0172】本実施形態によれば、トランジスタ間の素子分離領域の鋭い角部においても酸化膜は薄くならず、平坦部、エッジ部ともに均一な膜厚のシリコン酸化膜が多結晶シリコン上に形成されるのが確認された。ソース、ドレイン領域を形成するためのイオン注入はゲート酸化膜を通して行い、400°Cで電気的活性化して形成した。この結果、全工程を400°C以下の温度で実行でき、ガラス基板上にトランジスタを形成できた。このトランジスタの移動度は、電子で約300cm²/Vs、正孔で約150cm²/Vs以上、ソース、ドレイン耐圧及びゲート耐圧は12V以上あった。チャネル長1.5-2.0nm程度のトランジスタでは、100MHzを越える高速動作が可能となった。シリコン酸化膜のリード特性、多結晶シリコン/酸化膜の界面準位特性も良好であった。

【0173】本実施形態のトランジスタを使用することで液晶表示素子、有機EL発光素子は大画面、低価格、高速動作、高信頼性を持つことができる。

【0174】本実施形態は本発明のゲート酸化膜またはゲート窒化膜を多結晶シリコンに適応した実施形態であるが、液晶表示素子等に使用されるアモルファスシリコン薄膜トランジスタ(TFT)、特にスタガーモードの薄膜トランジスタ(TFT)のゲート酸化膜またはゲート窒化膜にも同様に適用できる。

(第10の実施形態) 次に、金属層を有するSOI素子、多結晶シリコン素子、アモルファスシリコン素子を積層した3次元積層LSIの実施形態を説明する。

【0175】図34は本発明の3次元LSIの断面構造の概念図である。

【0176】図34において、2001は第1のSOI及び配線層、2002は第2のSOI及び配線層、2003は第1の多結晶シリコン素子及び配線層、2004は第2の多結晶シリコン素子及び配線層、2005はアモルファス半導体素子及び機能材料素子及び配線層である。

【0177】前記第1のSOI及び配線層2001、および前記第2のSOI及び配線層2002には、実施形態7で説明したSOIトランジスタを用いてデジタル演算処理部、高精度高速アナログ部、シンクロナスDRAM部、電源部、インターフェース回路部などが作成される。

【0178】前記第1の多結晶シリコン素子及び配線層2003には、先の実施形態6、8で説明した多結晶シリコントランジスタ、フラッシュメモリなどを用いて並

列デジタル演算部、機能ブロック間リピータ部、記憶素子部などが作成される。

【0179】一方前記第2の多結晶シリコン素子及び配線層2004には前記実施形態8で説明した多結晶シリコントランジスタを用いてアンプ、AD変換器などの並列アナログ演算部が作成される。アモルファス半導体素子及び機能材料素子及び配線層2005には光センサ、音センサ、触覚センサ、電波送信受信部などが作成される。

【0180】前記アモルファス半導体素子及び機能材料素子及び配線層2005内に設けられた光センサ、音センサ、触覚センサ、電波送信受信部の信号は、前記第2の多結晶シリコン素子及び配線層2004に設けられた多結晶シリコントランジスタを用いたアンプ、AD変換などの並列アナログ演算部で処理され、さらに前記第1の多結晶シリコン素子及び配線層2003あるいは前記第2の多結晶シリコン素子及び配線層2004に設けられた多結晶シリコントランジスタ、フラッシュメモリを用いた並列デジタル演算部、記憶素子部にその処理が引き継がれ、さらに前記第1のSOI及び配線層2001あるいは前記第2のSOI及び配線層2002に設けられたSOIトランジスタを用いたデジタル演算処理部、高精度高速アナログ部、シンクロナスDRAMで処理される。

【0181】また、前記第1の多結晶シリコン素子及び配線層2003に設けられた機能ブロック間リピータ部は、複数設けても大きなチップ面積を占有することなくLSI全体の信号同期を調整することができる。

【0182】こうした3次元LSIが作成可能になったのは、上記の実施形態に詳細に説明した本発明の技術によることは明らかである。

【0183】

【発明の効果】本発明によれば、シリコン基板などのシリコン表面上に、酸化膜と窒化膜とを積層した、あるいは窒化膜と酸化膜と窒化膜とを順次積層した、全体としては酸窒化膜の組成を有するトンネル絶縁膜を形成することが可能になり、リーク電流を大きく低減すると同時に膜厚を減少させることができることになり、あるいは書き込み時のトンネル電流密度を大きく増大させることができることになり、フラッシュメモリ素子の動作速度を向上させることができることになり、また動作電圧を低減することが可能になる。

【図面の簡単な説明】

【図1】従来のフラッシュメモリ素子の構成を示す図である。

【図2】フラッシュメモリ素子の動作を説明する図である。

【図3】従来のフラッシュメモリ素子の課題を説明する図である。

【図4】(A)～(C)は、本発明の第1の実施形態に

(21) 02-261097 (P2002-6d97

による酸化膜の形成方法および半導体装置の製造方法を示す図である。

【図5】本発明で使われるラジアルラインスロットアンテナを用いたプラズマ装置の概略的構成を示す図である。

【図6】赤外分光器で測定したシリコン表面終端水素とシリコンの結合のK_rプラズマ暴露依存性を示す特性図である。

【図7】シリコン酸化膜厚の処理室ガス圧力依存性を示す特性図である。

【図8】シリコン酸化膜中のK_r密度の深さ方向分布を示す特性図である。

【図9】シリコン酸化膜の電流電圧特性を示す特性図である。

【図10】シリコン酸化膜およびシリコン酸窒化膜のリーク電流特性と膜厚の関係を示す図である。

【図11】(A)～(C)は、本発明の第2の実施形態による窒化膜の形成方法および半導体装置の製造方法を示す図である。

【図12】シリコン窒化膜厚の処理室内ガス圧力依存性を示す特性図である。

【図13】(A)～(D)は、本発明の第3の実施形態による酸化膜／窒化膜積層誘電体膜の形成工程および半導体装置の製造方法を示す図である。

【図14】酸化膜／窒化膜積層誘電体膜中における窒素の分布を示す図である。

【図15】酸化膜／窒化膜積層誘電体膜のバンド構造図である。

【図16】(A)～(C)は、本発明の第4の実施形態による酸窒化膜の形成方法および半導体装置の製造方法を示す図である。

【図17】シリコン酸窒化膜形成時の原子状酸素と原子状水素の発光強度を示す図である。

【図18】シリコン酸窒化膜中の元素分布を示す図である。

【図19】シリコン酸窒化膜の電流電圧特性を示す特性図である。

【図20】シリコン窒化膜中における窒素分布の時間変化を示す概略図である。

【図21】本発明の第5の実施の形態による、シャロートレンチアイソレーションの概念的断面図である。

【図22】本発明の第5の実施の形態による、凹凸のあるシリコン表面に形成した立体的トランジスタの断面構造図である。

【図23】本発明の第6の実施の形態によるフラッシュメモリ素子の構成を示す図である。

【図24】図23のフラッシュメモリ素子の書き込み動作を示すバンド構造図である。

【図25】図23のフラッシュメモリ素子におけるトンネル絶縁膜のリーク電流特性を示す図である。

【図26】本発明の第7の実施形態によるフラッシュメモリ素子の断面構造の概略図である。

【図27】図26のフラッシュメモリ素子の形成方法を段階的に説明する概略断面構造図(その1)である。

【図28】図26のフラッシュメモリ素子の形成方法を段階的に説明する概略断面構造図(その2)である。

【図29】図26のフラッシュメモリ素子の形成方法を段階的に説明する概略断面構造図(その3)である。

【図30】図26のフラッシュメモリ素子の形成方法を段階的に説明する概略断面構造図(その4)である。

【図31】金属基板SOI上に作製された本発明の第8の実施形態によるMOSトランジスタの断面構造の概略図である。

【図32】ガラス基板やプラスチック基板などに適応される本発明の第9の実施形態によるプラズマ処理装置の概念図である。

【図33】図32のプラズマ処理装置により形成された絶縁膜状の多結晶シリコントランジスタの断面構造の概略図である。

【図34】本発明の第10の実施形態による3次元LSIの断面構造の概念図である。

【符号の説明】

10, 20 フラッシュメモリ素子

11 シリコン基板

11A チャネル領域

11B ソース拡散領域

11C ドレイン拡散領域

12 トンネル酸化膜

12A トンネル絶縁膜

13 フローティングゲート電極

14 電極間絶縁膜

15 コントロールゲート電極

101 処理室

102 シャワープレート

103 シリコンウェーハ

103A シリコン酸化膜

103B, 103D, 103F ゲート電極

103C, 103N シリコン窒化膜

103E 酸窒化膜

104 加熱機構を持つ試料台

105 同軸導波管

106 ラジアルラインスロットアンテナ

107 マイクロ波導入窓

1001 ゲート絶縁膜

1002 シリコン酸化膜

1003 シリコン基板

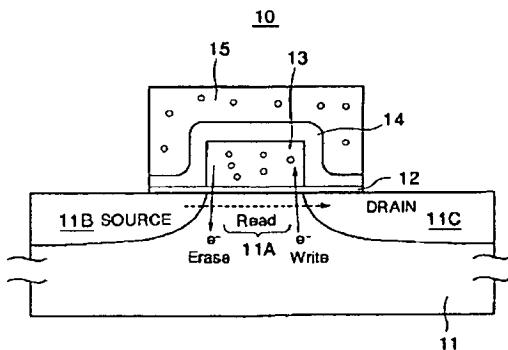
1004 従来のシャロートレンチアイソレーションの角部

1005 本発明のシャロートレンチアイソレーションの角部

(22) 02-261097 (P2002-ch1f97)

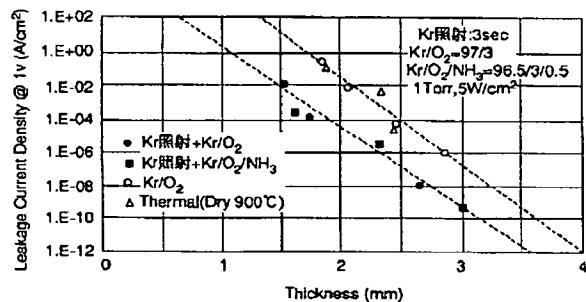
1201 シリコン基板
 1202 トンネル酸化膜
 1203 多結晶シリコンゲート電極
 1204 シリコン窒化膜
 1205 シリコン酸化膜
 1206 第2多結晶シリコンゲート電極
 1301 シリコン基板
 1302 フィールド酸化膜
 1303 シリコン酸化膜
 1304 シリコン酸化膜
 1305 多結晶シリコン電極
 1306 ON膜
 1307 シリコン酸化膜
 1308 シリコン酸化膜
 1309 多結晶シリコン電極
 1310 シリサイド電極
 1311A フラッシュメモリセル
 1311B 高電圧用トランジスタ電極
 1311C 低電圧用トランジスタ電極
 1701 n⁺型、p⁺型低抵抗半導体
 1702 シリサイド層
 1703 導電性窒化物層
 1704 金属層
 1705 導電性窒化物層
 1706 n⁺型、p⁺型低抵抗半導体層
 1707 窒化物絶縁膜
 1708 SiO₂膜
 1709 SiO₂膜、BPSGもしくはそれらを組み合わせた絶縁膜層
 1710 n⁺型ドレイン領域
 1711 n⁺型ソース領域
 1712 p⁺型ドレイン領域
 1713 p⁺型ソース領域
 1714, 1315 (111)面に配向したシリコン半導体層

【図1】



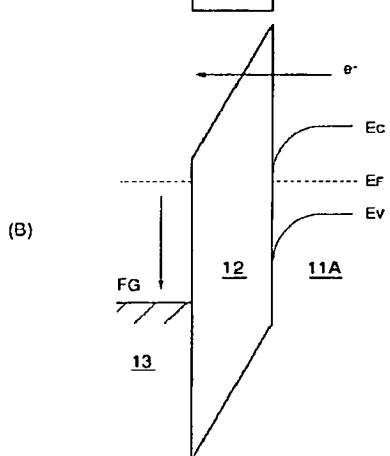
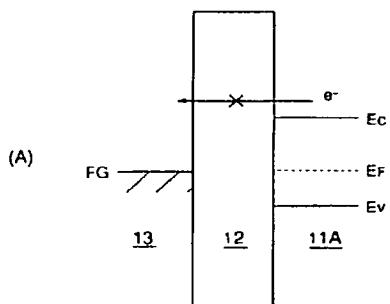
1716 SiO₂膜
 1717, 1318 nMOSゲート電極ならびに、pMOSのゲート電極
 1719 nMOSソース電極
 1720 nMOS及びpMOSのドレイン電極
 1721 MOSのソース電極
 1722 基板表面電極
 1801 シャワープレート
 1802 ネジ溝ポンプ
 1803 ガラス基板
 1804 加熱機構を持つ試料台
 1805 方形導波管
 1806 マイクロ波導入窓
 1807 真空容器
 1901 ガラス基板
 1902 SiO₂膜
 1903 多結晶シリコンnMOSのチャネル層
 1904 多結晶シリコンpMOSのチャネル層
 1905 多結晶シリコンnMOSのソース領域
 1906 多結晶シリコンnMOSのドレイン領域
 1907 多結晶シリコンpMOSのソース領域
 1908 多結晶シリコンpMOSのドレイン領域
 1909 SiO₂膜層
 1910 多結晶シリコンnMOSのゲート電極
 1911 多結晶シリコンpMOSのゲート電極
 1912 SiO₂, BPSG, BPSG等の絶縁膜
 1913 多結晶シリコンnMOSのソース電極
 1914 多結晶シリコンnMOSのドレイン電極
 1915 多結晶シリコンpMOSのソース電極
 2001 第1のSOI及び配線層
 2002 第2のSOI及び配線層
 2003 第1の多結晶シリコン素子及び配線層
 2004 第2の多結晶シリコン素子及び配線層
 2005 アモルファス半導体素子及び機能材料素子及び配線層

【図10】

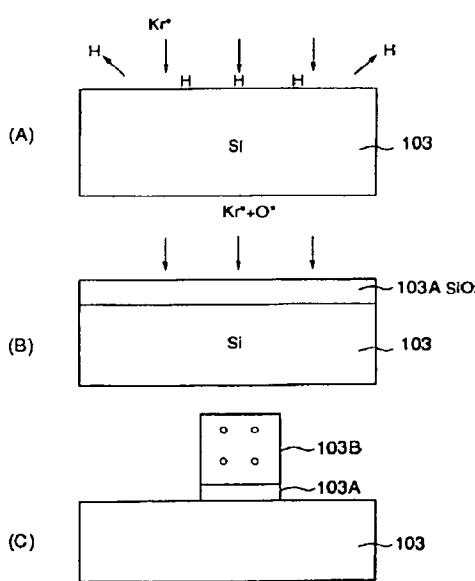


(23) 102-261097 (P2002-ch+97)

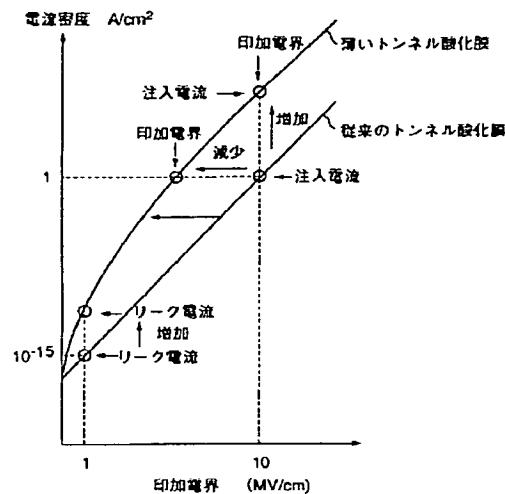
【図2】



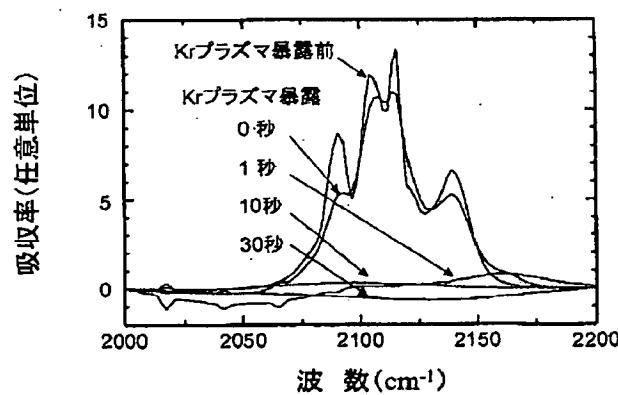
【図4】



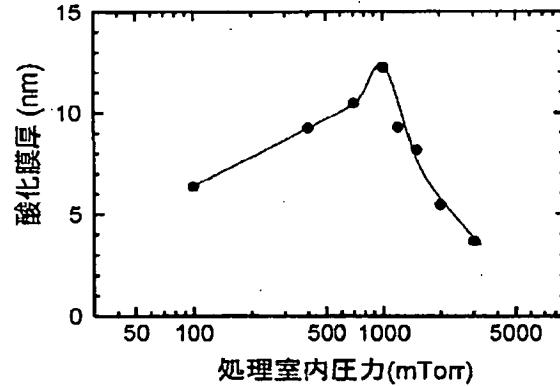
【図3】



【図6】

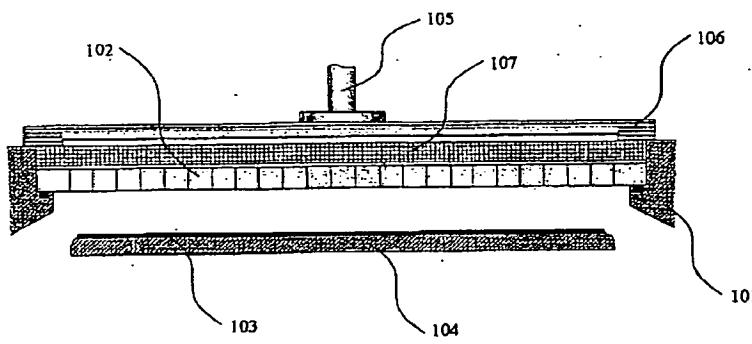


【図7】

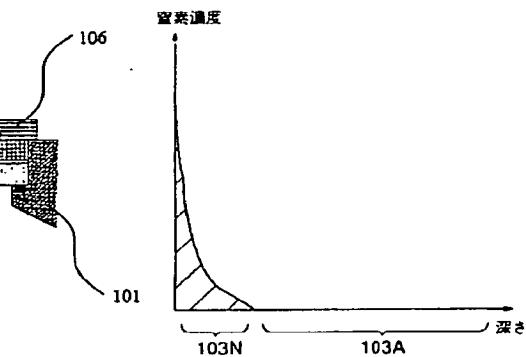


(24) 02-261097 (P2002-ch197)

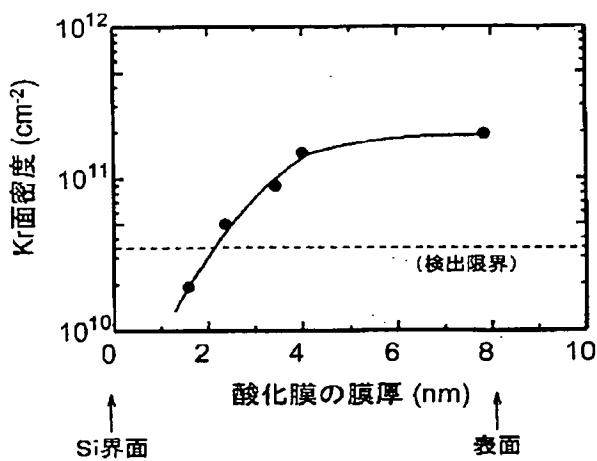
【図5】



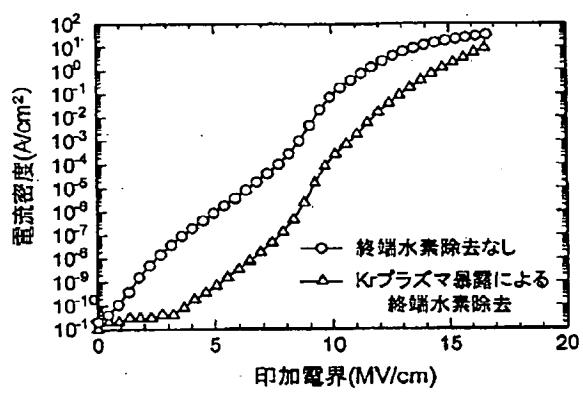
【図14】



【図8】

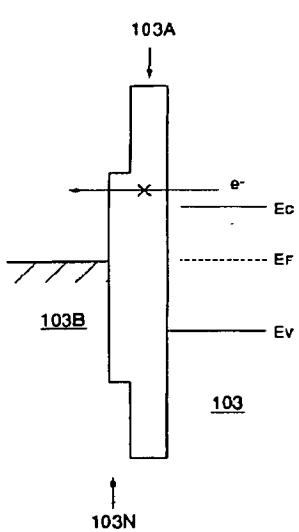
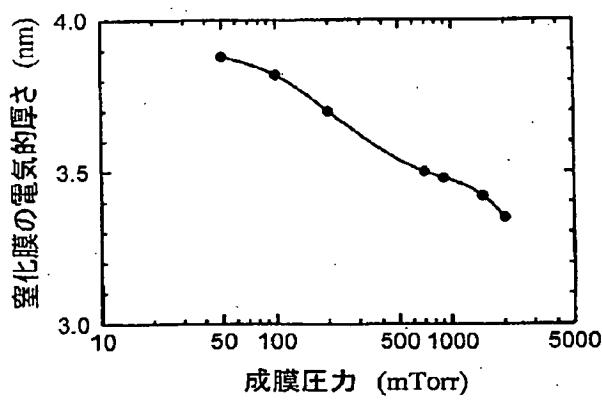


【図9】



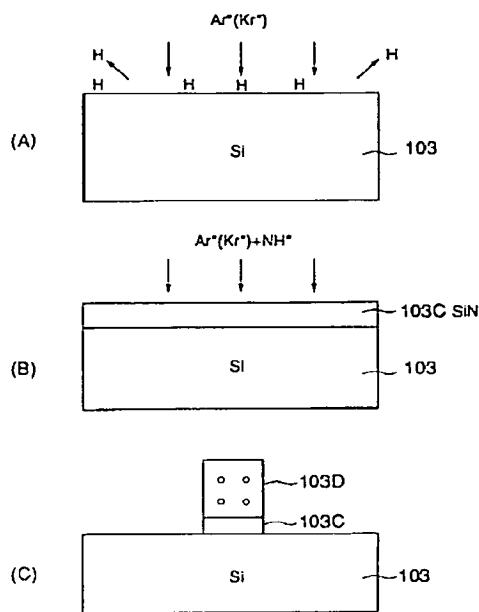
【図15】

【図12】

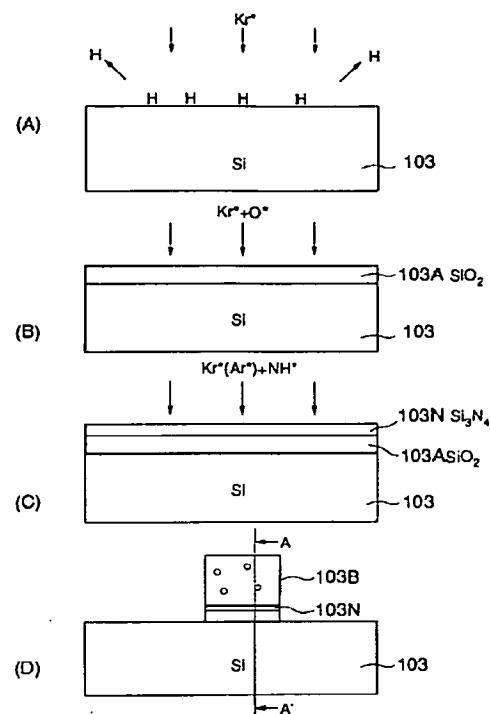


(25) 02-261097 (P2002-chJ***坑

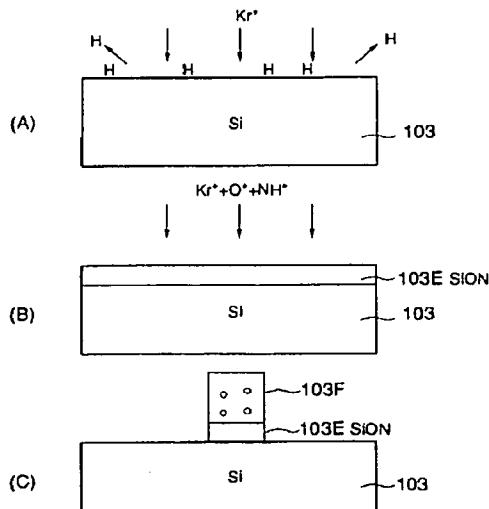
【図11】



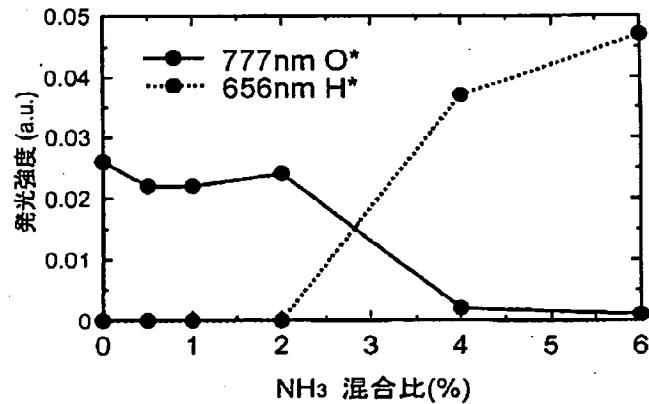
【図13】



【図16】

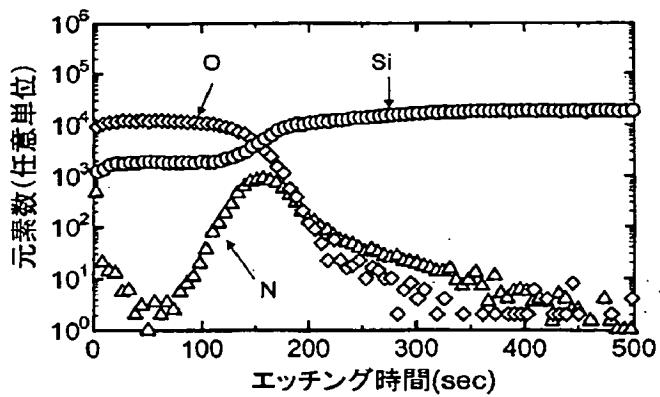


【図17】

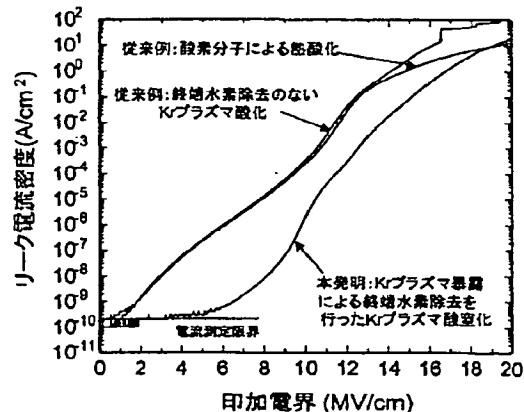


(26) 02-261097 (P2002-ch"97

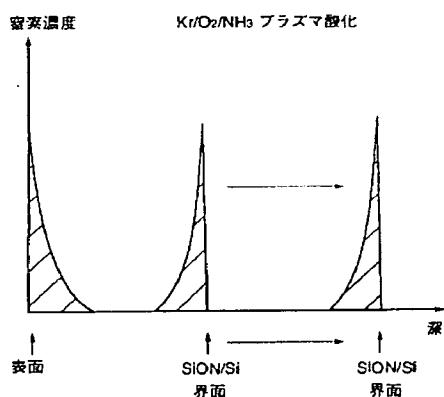
【図18】



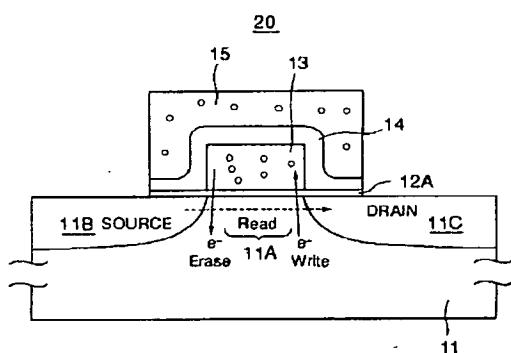
【図19】



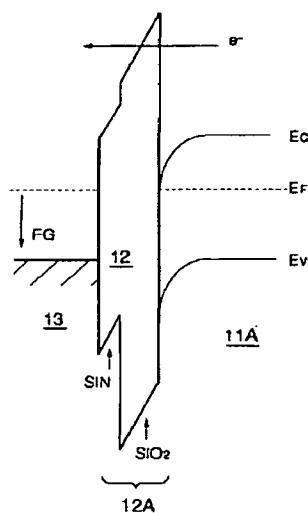
【図20】



【図23】

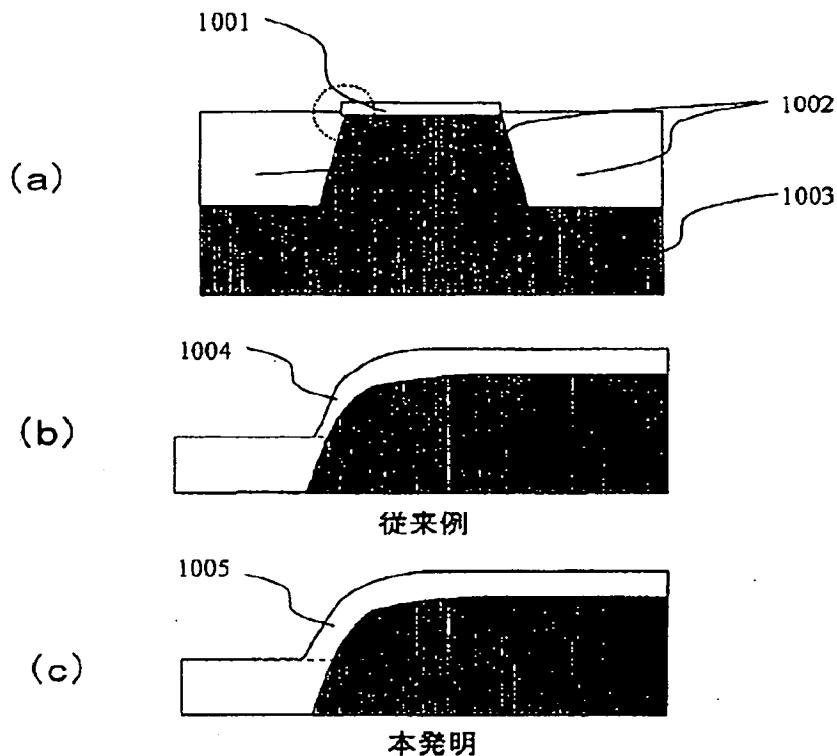


【図24】

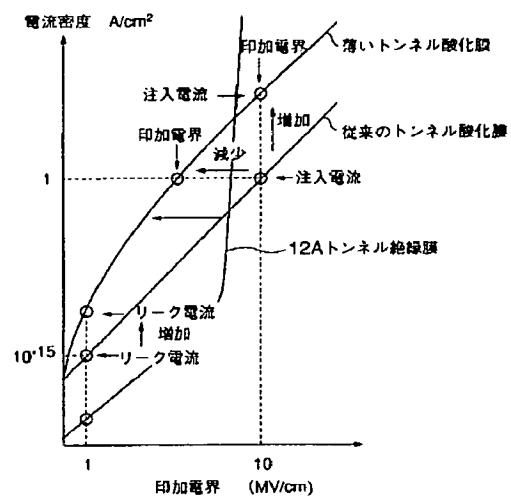


(27) 02-261097 (P2002-ch=97

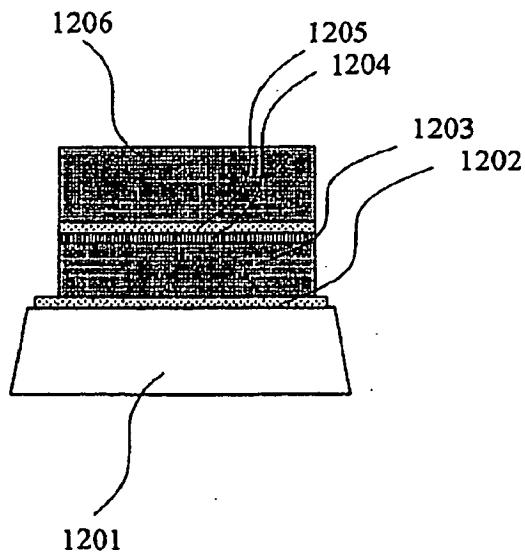
【図21】



【図25】

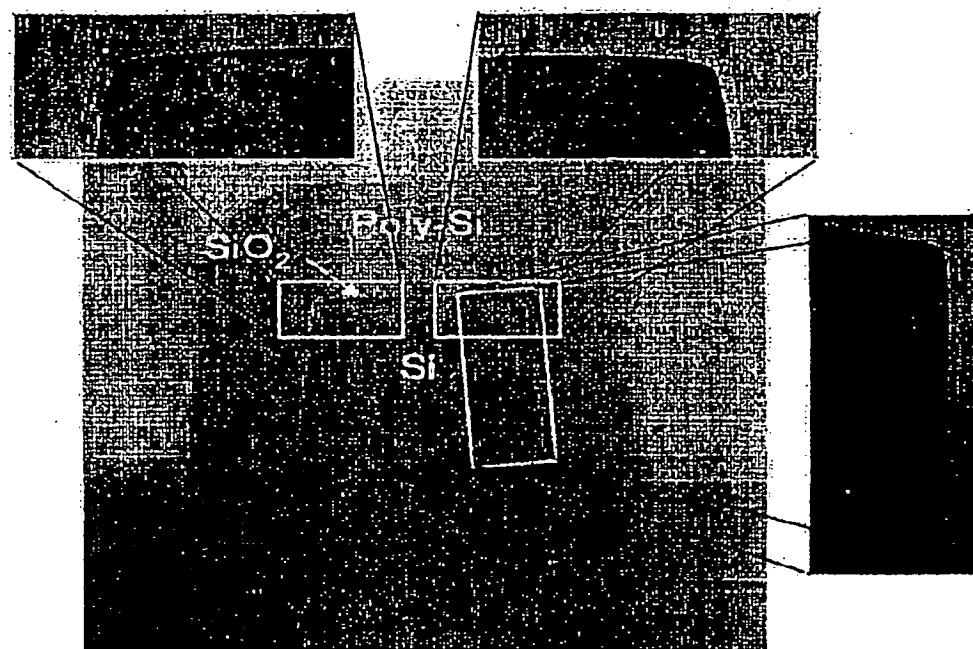


【図26】

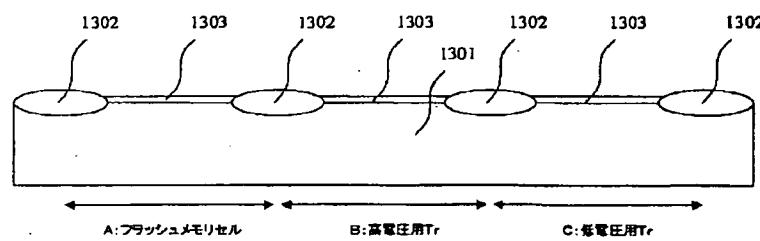


(28) 02-261097 (P2002-A釘坑

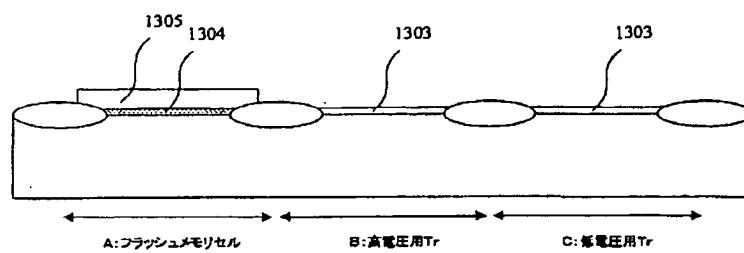
【図22】



【図27】

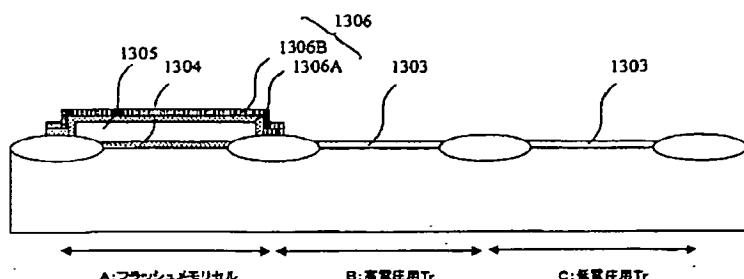


【図28】

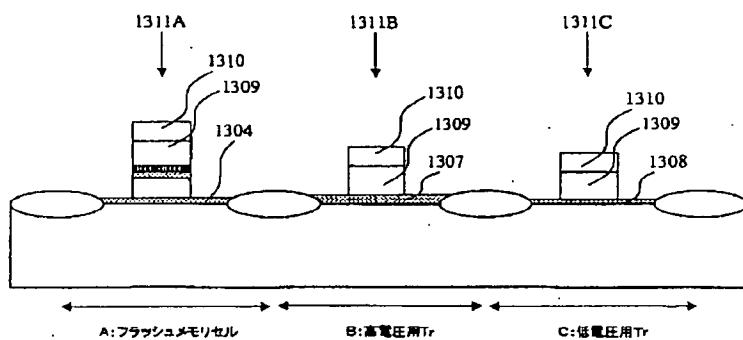


(29) 02-261097 (P2002-` 坑

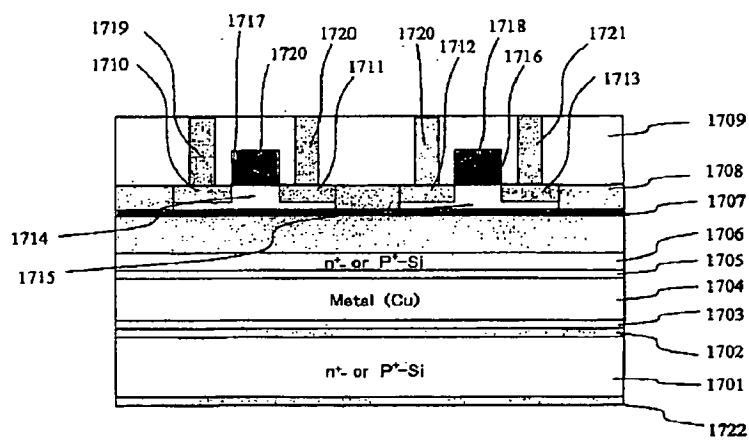
【図29】



【図30】

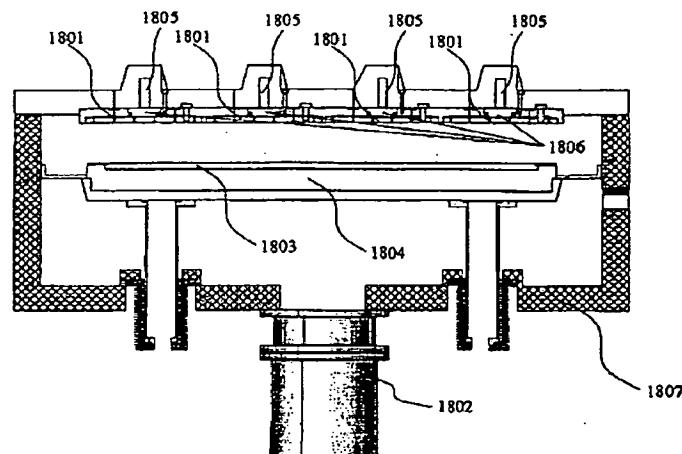


【図31】

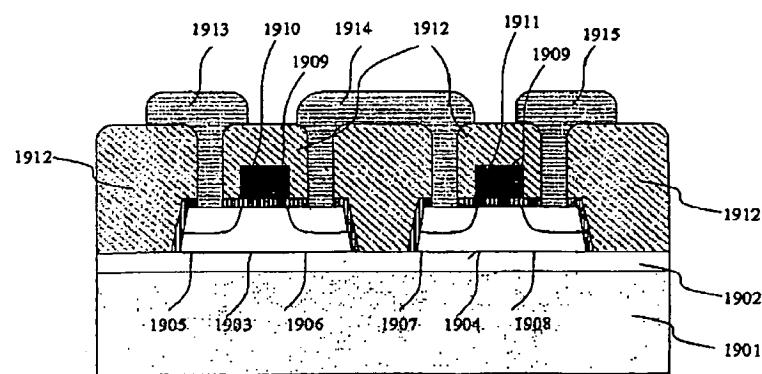


(30) 02-261097 (P2002-E. 銀坑

【図32】

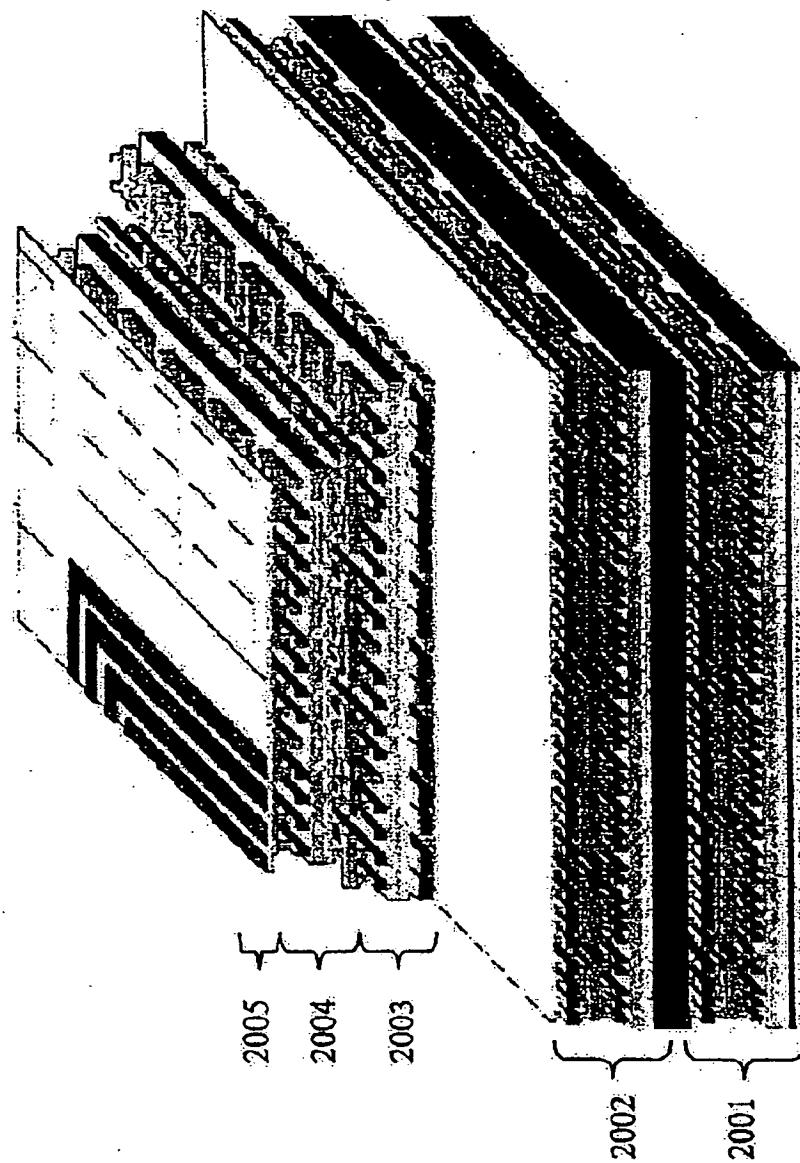


【図33】



(31) 02-261097 (P2002-E 坑

[図34]



フロントページの続き

(51) Int. Cl.⁷
H 01 L 21/316
21/8247
27/115
29/788
29/792

識別記号

F I
H 01 L 21/316
27/10
29/78

マーク (参考)

M

4 3 4
3 7 1

(2) 02-261097 (P2002-E'97)

(72)発明者 平山 昌樹 F ターム(参考) 5F058 BA01 BA20 BC02 BC08 BD01
宮城県仙台市青葉区荒巻字青葉(無番地) BD02 BD04 BD10 BD15 BE10
東北大学内 BF72 BF73 BF74 BH16 BJ01
白井 泰雪 BJ04 BJ06
宮城県仙台市青葉区荒巻字青葉(無番地) 5F083 EP02 EP27 EP54 EP55 ER02
東北大学内 ER16 ER19 GA06 HA02 JA37
JA40 NA01 PR40
5F101 BA29 BB02 BC11 BH04
5G303 AA07 AB20 BA03 CA01 CB19
CB30